



SUNWAY 申威

申威 1621 处理器 数据手册

2017 年 1 月

成都申威科技有限责任公司



免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

成都申威科技有限责任公司

Chengdu Sunway Technology Corporation Limited

地址：成都市华府大道四段电子科大科技园 D22 栋

Building D22, National University Science and technology park,
Section 4, Huafu Avenue, Chengdu

Mail: sales@swcpu.cn

Tel : 028-68769016

Fax: 028-68769019



阅读指南

《申威 1621 处理器数据手册》主要描述了申威 1621 处理器的封装、引脚定义、对外接口、配置和复位与初始化流程，详细说明处理器的维护命令，并介绍了处理器的电气特性等内容。

文档修订

文档更新记录	文档名	申威 1621 处理器数据手册
	版本号	V1.0
	创建人	研发部
	创建日期	2017-1-8

版本更新

版本号	更新内容	更新日期
V1.0	初稿	2017-1-8

技术支持

可通过邮箱或问题反馈网站向我司提交产品使用的问题，并获取技术支持。

售后服务邮箱：sales@swcpu.cn

问题反馈网址：<http://www.swcpu.cn/>

目 录

1	概述	1
1.1	核心结构.....	1
1.2	芯片结构.....	2
1.3	硬件接口.....	2
2	封装及引脚说明	4
2.1	封装结构及尺寸.....	4
2.2	封装引脚分类及列表.....	6
2.3	焊接说明.....	36
3	电地及特殊信号接口	37
3.1	电地引脚列表.....	37
3.1.1	数字电源地说明.....	37
3.1.2	模拟电源地说明.....	38
3.2	温度传感器引脚列表.....	39
3.3	空引脚列表.....	39
4	时钟接口	40
4.1	引脚列表.....	40
4.2	工作模式.....	40
5	存储器接口	41
5.1	概述.....	41
5.2	引脚列表.....	41
5.3	存储器接口配置.....	43
5.3.1	1T/2T 模式.....	43
5.3.2	地址镜像.....	44
5.3.3	颗粒/内存类型.....	44
5.4	信号连接.....	45
5.4.1	选通信号.....	45
5.4.2	ECC 校验码.....	45
5.4.3	双内存模组连接方式.....	45
5.5	初始化.....	46
5.6	测试.....	46
6	PCI-E 接口	47
6.1	概述.....	47
6.2	引脚列表.....	47
6.3	信号连接.....	47

6.4	初始化.....	48
6.5	测试.....	48
7	维护、中断和配置接口	49
7.1	维护接口	49
7.1.1	概述	49
7.1.2	引脚列表.....	49
7.1.3	维护功能.....	51
7.2	配置接口	52
7.2.1	引脚列表.....	52
7.2.2	初始化配置.....	53
7.2.3	时钟配置.....	54
7.3	中断接口	55
8	调试测试接口	57
8.1	概述.....	57
8.2	引脚列表.....	57
8.3	TAP 控制器.....	58
8.4	测试寄存器.....	58
8.5	边界扫描.....	60
8.6	调试操作.....	61
8.6.1	调试接口寄存器.....	61
8.6.2	调试操作流程.....	62
9	复位与初始化	65
9.1	复位.....	65
9.1.1	复位类型.....	65
9.1.2	复位状态机.....	65
9.2	配置.....	67
9.2.1	配置引脚.....	67
9.2.2	配置寄存器.....	68
9.3	初始化.....	69
9.3.1	加关电顺序.....	69
9.3.2	初始化流程.....	70
9.3.3	初始化程序.....	71
10	电气特性.....	72
10.1	工作条件.....	72
10.2	直流参数.....	72

10.2.1	差分时钟输入信号.....	72
10.2.2	存储器接口信号.....	73
10.2.3	1.8V LVCMOS 信号.....	73
10.3	交流参数.....	74
10.3.1	差分时钟输入信号.....	74
10.3.2	存储器接口信号.....	74
10.3.3	维护接口信号.....	75
10.3.4	测试接口信号.....	77
10.3.5	PCI-E 接口.....	77
10.4	功耗.....	78
10.4.1	封装热特性.....	78
10.4.2	热设计功耗.....	78
10.4.3	功耗管理.....	78
附录 A	维护接口的命令与响应.....	80
A.1	维护命令.....	80
A.1.1	维护命令包格式.....	80
A.1.2	维护命令编码.....	80
A.1.3	维护命令目标编码.....	81
A.1.4	维护命令详细说明.....	82
A.2	维护响应.....	91
A.2.1	维护响应包格式.....	91
A.2.2	维护响应编码.....	92
A.2.3	有数据维护响应.....	92
A.2.4	无数据维护响应.....	93
附录 B	边界扫描链说明.....	94
B.1	GPIO BSR 链说明.....	94
B.2	PCI-E BSR 链说明.....	96
B.3	DDR3 BSR 链说明.....	97

1 概述

申威 1621 为 64 位字长的高性能通用处理器，采用多核架构和片上系统（SoC: System on Chip）技术，单芯片集成了 16 个对称的新一代申威 Core3A 核心，还集成了 32MB 的共享三级 Cache、八路 DDR3 存储控制器接口、两路 PCI-E 接口、一路维护接口和一路测试接口。

1.1 核心结构

申威 1621 处理器采用新一代申威 Core3A 核心，基本结构如图 1-1 所示：

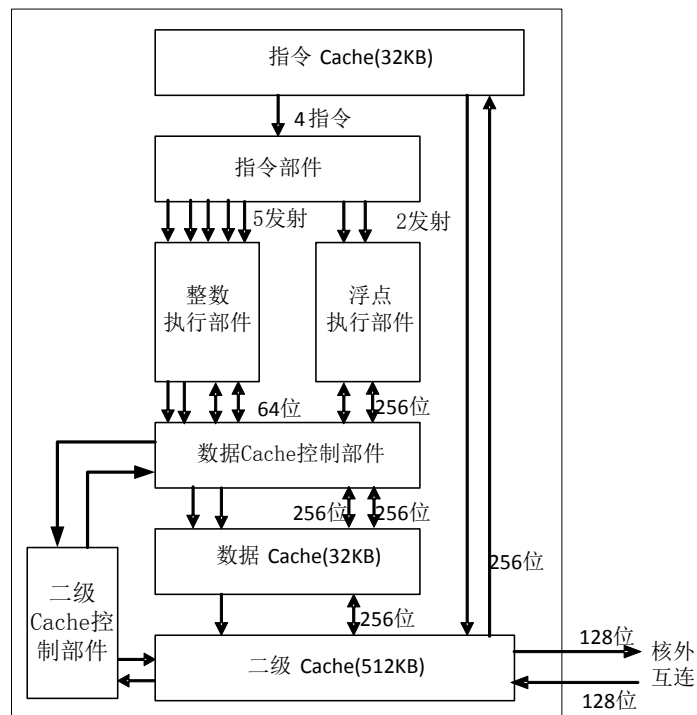


图 1-1: 申威 1621 处理器核心结构图

Core3A 由指令部件、整数执行部件、浮点执行部件、数据 Cache 控制部件、二级 Cache 控制部件以及一级指令 Cache、一级数据 Cache 和二级 Cache 组成。其技术特征如下：

- 1) 核心为采用并行发射、乱序发射、乱序执行和推测执行技术的 4 译码 7 发射超标量结构；
- 2) 采用短向量加速计算技术提高整数和浮点运算性能，支持浮点双 256 位 SIMD 流水线、整数单 256 位 SIMD 流水线，每个时钟周期可产生 11 个整数运算结果或 16 个浮点运算结果；
- 3) 一级指令 Cache 容量为 32KB，采用四路组相联结构，虚地址访问方式，Cache 行大小为 128 字节，采用可容错的偶校验；
- 4) 一级数据 Cache 容量为 32KB，采用四路组相联结构，物理地址访问方式，Cache 行大小为 128 字节，采用可纠错的 ECC 校验；

- 5) 二级 Cache 容量为 512KB，采用八路组相联结构，物理地址访问方式，Cache 行大小为 128 字节，为指令和数据混合 Cache，采用可纠错的 ECC 校验；
- 6) 一级数据 Cache 与二级 Cache 为严格的包含关系，一级指令 Cache 与二级 Cache 为既不包含，也不互斥关系，硬件自动支持指令与数据的 Cache 一致性。

1.2 芯片结构

申威 1621 处理器芯片包含 16 个 Core3A 核心、32MB 的三级共享 Cache 和八路 DDR3 存储器接口、两路 PCI-E 接口以及维护、测试接口，其结构图如下所示：

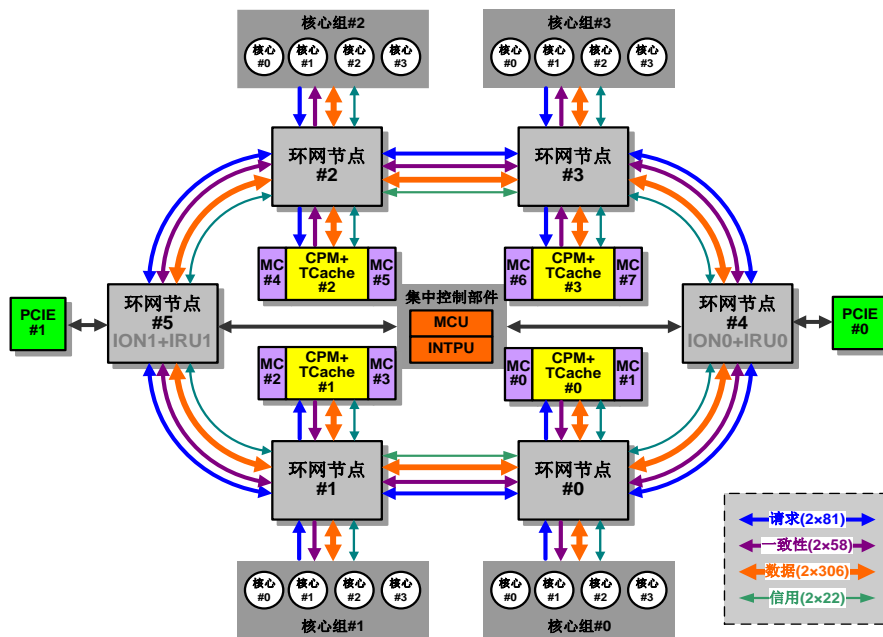


图 1-2: 申威 1621 处理器芯片结构图

其特点有：

- 1) 单芯片集成 16 个核心，最高工作频率 2GHz；
- 2) 采用对称式共享存储（SMP）结构和 SoC 技术；
- 3) 集成 32MB 的三级共享 Cache；
- 4) 集成八路 DDR3 存储器控制器和 DDR3 存储器接口；
- 5) 集成两路 PCI-E 3.0 标准接口，分别采用 8x 链路，支持 I/O 虚拟化功能；

1.3 硬件接口

申威 1621 处理器的外部硬件接口由六部分组成，具体如下：

- 1) 时钟接口：为处理器提供时钟源，通过配置产生处理器内部各种工作时钟；
- 2) 存储器接口：八路各 64 位，支持 ECC 校验，最高数据传输率为 1600Mbps；
- 3) PCI-E 接口：符合 PCI-E 3.0 规范，两路接口，每路接口支持 8 条链路，链路速率为 8Gbps；
- 4) 维护、中断和配置接口：支持对处理器的维护调试，支持对处理器的复位和外部中断，支持对处理器的配置；
- 5) 测试接口：支持兼容 IEEE1149.1 标准的 JTAG 测试接口；
- 6) 电地和特殊信号接口：为处理器提供内核电源和 I/O 电源，为处理器提供模拟电源等特殊信号。

2 封装及引脚说明

2.1 封装结构及尺寸

申威 1621 处理器芯片采用 FCBGA-2601 封装, 封装引脚数量为 2597, 芯片四角各预留一个 Ball。申威 1621 处理器芯片外观如图 2-1、图 2-2 和图 2-3 所示, 图 2-1 为顶视图, 图 2-2 为底视图, 图 2-3 为侧视图。

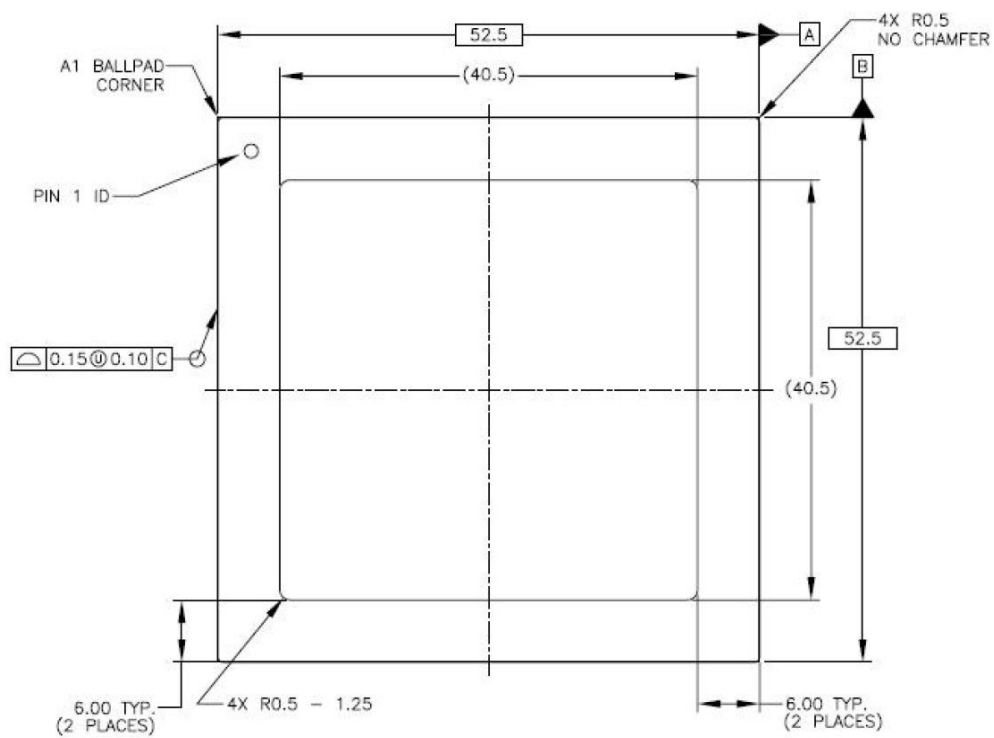


图 2-1: FCBGA 封装顶视图

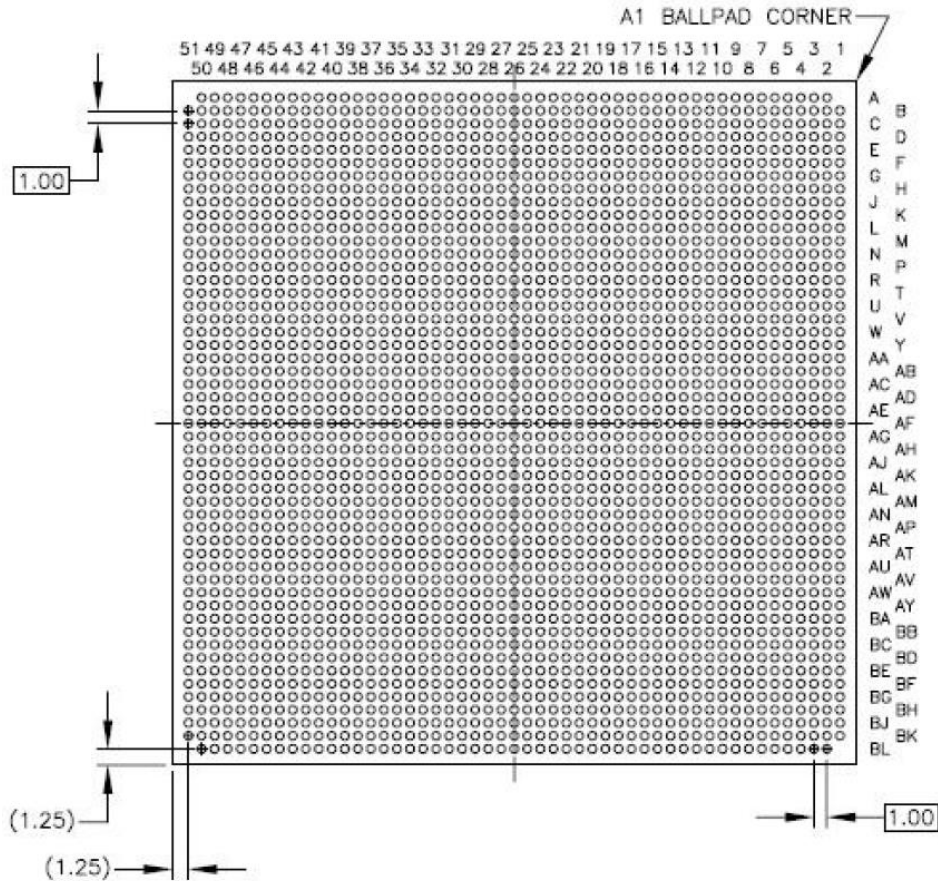


图 2-2: FCBGA 封装底视图

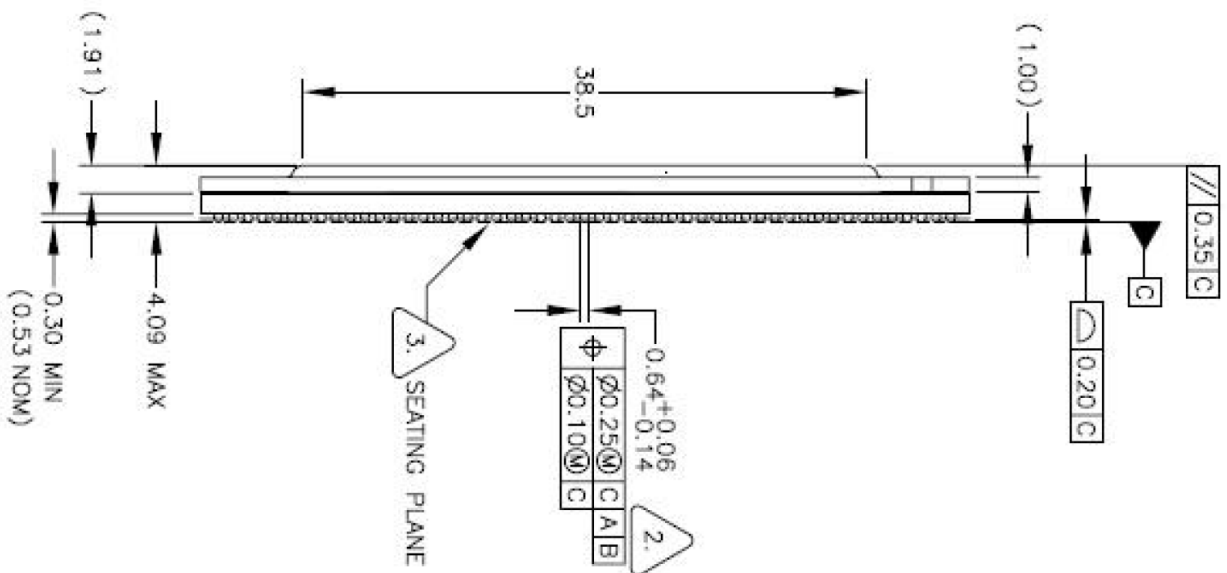


图 2-3: FCBGA 封装侧视图

FCBGA 封装的封装特征如下:

- 1) 封装尺寸 (长×宽×高): 52.5mm(+/-0.1)×52.5mm(+/-0.1)×4.09mm (3.86~4.09);
- 2) 引脚数量: 2597;

3) 引脚为 51×51 阵列分布（芯片四角各去掉一个 Ball）。

2.2 封装引脚分类及列表

FCBGA-2601 封装的引脚总数为 2597 根，表 2-1 为 FCBGA 封装引脚的分类与数量。

表 2-1: FCBGA 封装引脚分类列表

类型	数量
信号引脚	1167
电地引脚	1376
备份引脚	50
温度传感器引脚	4
合计	2597

表 2-2 为申威 1621 处理器信号引脚的分类与数量。

表 2-2: FCBGA 封装信号引脚分类列表

名称	数量	输入引脚	输出引脚	双向引脚	信号电平类型
存储器接口	1051	8	291	752	SSTL (1.5V 或 1.35V)
PCI-E 接口	70	36	32	2	除 PCI[1:0]_RESREF(双向引脚)连接参考电阻外, 其他信号是 LVDS;
时钟接口	2	2	0	0	LVDS (1.8V)
测试接口	7	6	1	0	LVC MOS (1.8V)
维护接口	18	7	9	2	LVC MOS (1.8V)
配置接口	17	17	0	0	LVC MOS (1.8V)
中断接口	2	2	0	0	LVC MOS (1.8V)
合计	1167	78	333	756	

注：信号引脚的信号电平主要是 SSTL (1.5V 或 1.35V)、LVDS (1.8V) 和 LVC MOS (1.8V) 三大类，其中 SSTL 电平的 I/O 电源为 1.5V 或 1.35V，其它为 1.8V。

FCBGA 封装的引脚位置与引脚名称对应关系如表 2-3 所示。其中位置是根据图 2-4 所指示的字母和数字坐标组成，图 2-4 中，以左上角为原点，从左到右横坐标编号依次为数字 1~51；从上到下纵坐标编号依次为：A~Y（除 I、O、Q、X），AA~AY（除 AI、AO、AQ、AX），BA~BL（除 BI）。引脚名称尾缀为“_L”的信号为低电平有效的信号，尾缀为“_H”的信号为高电平有效的信号；引脚名称相同且尾缀分别为“_P”和“_N”的一对信号为配对的差分信号，其中尾缀为“_P”信号为“正”信号（高电平有效）。芯片有四对 DDR3 存储器接口，每对有高低两组 DDR3 存储器接口，

用前缀 MM[3:0]H/L_表示；芯片有 2 组 PCI-E 接口，用 PCI[1:0]_表示。图 2-4 是芯片的 TopView 视图，TopView 图例见图 2-5。

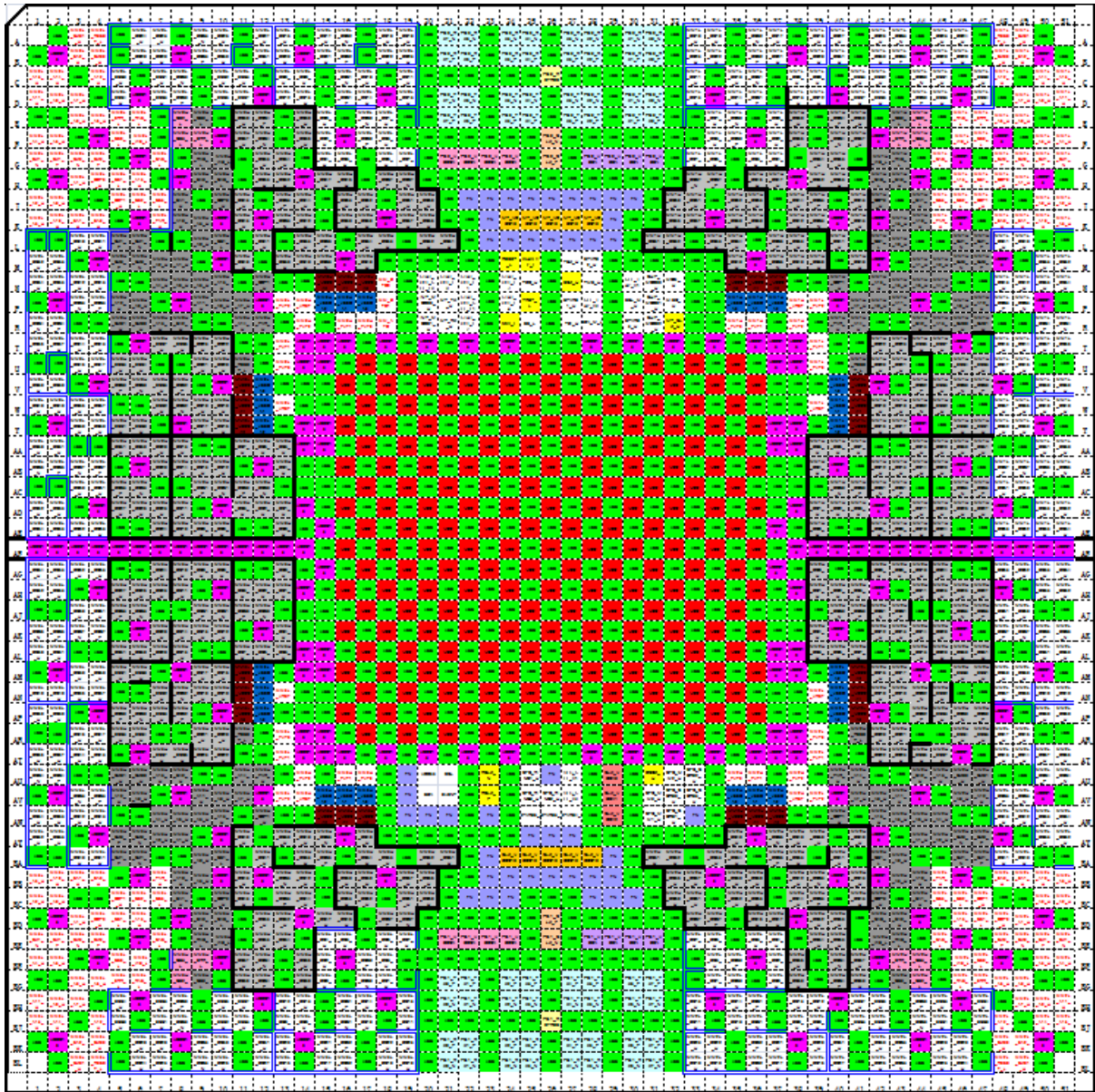


图 2-4: FCBGA 引脚排列图 (TopView)

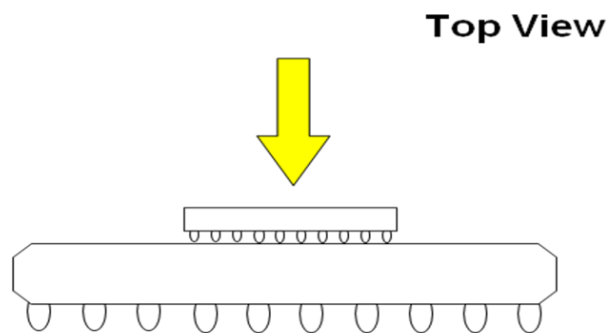


图 2-5: TopView 图例

表 2-3: FCBGA 封装引脚位置与名称对应表

A1	---	A18	MM0L_DQ18_H	A35	VSS
B1	VSS	B18	MM0L_DQ22_H	B35	VSS
C1	MM0L_A15_H	C18	VSS	C35	MM1L_DQ10_H
D1	MM0L_A11_H	D18	VDDQ15	D35	MM1L_DQ14_H
E1	VSS	E18	MM0L_DQ1_H	E35	MM1L_DQS0_N
F1	MM0L_A4_H	F18	MM0L_DQ3_H	F35	MM1L_DQS0_P
G1	MM0L_CK1_N	G18	MM0L_DQ6_H	G35	VSS
H1	VSS	H18	MM0H_DQS7_P	H35	VSS
J1	MM0L_A2_H	J18	VSS	J35	MM1H_DQ62_H
K1	MM0L_A5_H	K18	VDDQ15	K35	MM1H_DQ58_H
L1	VSS	L18	MM0H_DQ53_H	L35	MM1H_DQ54_H
M1	MM0L_DQ32_H	M18	VSS	M35	MM1H_DQ48_H
N1	MM0L_DQ34_H	N18	MM_DTO0	N35	MM1H_VDDQA0
P1	VSS	P18	MM_DTO1	P35	MM1H_VSSQA0
R1	MM0L_DQS4_N	R18	MM_ATO	R35	MM1H_PVT0
T1	MM0L_DQ36_H	T18	VDDQ15	T35	VSS
U1	VSS	U18	VSS	U35	VDD
V1	MM0L_DQ38_H	V18	VDD	V35	VSS
W1	MM0L_DQ48_H	W18	VSS	W35	VDD
Y1	VSS	Y18	VDD	Y35	VSS
AA1	MM0L_DQ50_H	AA18	VSS	AA35	VDD
AB1	MM0L_DQS6_N	AB18	VDD	AB35	VSS
AC1	VSS	AC18	VSS	AC35	VDD
AD1	MM0L_DQ52_H	AD18	VDD	AD35	VSS
AE1	MM0L_DQ54_H	AE18	VSS	AE35	VDD
AF1	VDDQ15	AF18	VDD	AF35	VSS
AG1	MM3L_DQ54_H	AG18	VSS	AG35	VDD
AH1	MM3L_DQ52_H	AH18	VDD	AH35	VSS
AJ1	VSS	AJ18	VSS	AJ35	VDD
AK1	MM3L_DQS6_N	AK18	VDD	AK35	VSS

AL1	MM3L_DQ50_H	AL18	VSS	AL35	VDD
AM1	VSS	AM18	VDD	AM35	VSS
AN1	MM3L_DQ48_H	AN18	VSS	AN35	VDD
AP1	MM3L_DQ38_H	AP18	VDD	AP35	VSS
AR1	VSS	AR18	VSS	AR35	VDD
AT1	MM3L_DQ36_H	AT18	VDDQ15	AT35	VSS
AU1	MM3L_DQS4_N	AU18	VSS	AU35	MM2H_PVT0
AV1	VSS	AV18	VSS	AV35	MM2H_VSSQA0
AW1	MM3L_DQ34_H	AW18	VSS	AW35	MM2H_VDDQA0
AY1	MM3L_DQ32_H	AY18	VSS	AY35	MM2H_DQ48_H
BA1	VSS	BA18	MM3H_DQ53_H	BA35	MM2H_DQ54_H
BB1	MM3L_A5_H	BB18	VDDQ15	BB35	MM2H_DQ58_H
BC1	MM3L_A2_H	BC18	VSS	BC35	MM2H_DQ62_H
BD1	VSS	BD18	MM3H_DQS7_P	BD35	VSS
BE1	MM3L_CK1_N	BE18	MM3L_DQ6_H	BE35	VSS
BF1	MM3L_A4_H	BF18	MM3L_DQ3_H	BF35	MM2L_DQS0_P
BG1	VSS	BG18	MM3L_DQ1_H	BG35	MM2L_DQS0_N
BH1	MM3L_A11_H	BH18	VDDQ15	BH35	MM2L_DQ14_H
BJ1	MM3L_A15_H	BJ18	VSS	BJ35	MM2L_DQ10_H
BK1	VSS	BK18	MM3L_DQ22_H	BK35	VSS
BL1	---	BL18	MM3L_DQ18_H	BL35	VSS
A2	VSS	A19	MM0L_DQ19_H	A36	MM1L_DQS2_N
B2	VDDQ15	B19	MM0L_DQ23_H	B36	MM1L_DQS2_P
C2	MM0L_A14_H	C19	MM0L_DQ11_H	C36	MM1L_DQS1_N
D2	MM0L_A9_H	D19	MM0L_DQ15_H	D36	MM1L_DQS1_P
E2	VSS	E19	VSS	E36	VSS
F2	MM0L_A3_H	F19	VSS	F36	VDDQ15
G2	MM0L_CK1_P	G19	MM0L_DQ7_H	G36	MM1L_DQ5_H
H2	VDDQ15	H19	MM0H_DQS7_N	H36	MM1H_DQ46_H
J2	MM0L_A0_H	J19	MM0H_DQ61_H	J36	MM1H_DQ63_H
K2	MM0L_A10_H	K19	MM0H_DQ57_H	K36	MM1H_DQ59_H
L2	VSS	L19	VSS	L36	VSS

M2	MM0L_DQ33_H	M19	VSS	M36	VDDQ15
N2	MM0L_DQ35_H	N19	VSS	N36	MM1H_VDDQA1
P2	VDDQ15	P19	VSS	P36	MM1H_VSSQA1
R2	MM0L_DQS4_P	R19	VSS	R36	MM1H_PVT1
T2	MM0L_DQ37_H	T19	VSS	T36	VDDQ15
U2	VSS	U19	VDD	U36	VSS
V2	MM0L_DQ39_H	V19	VSS	V36	VDD
W2	MM0L_DQ49_H	W19	VDD	W36	VSS
Y2	VDDQ15	Y19	VSS	Y36	VDD
AA2	MM0L_DQ51_H	AA19	VDD	AA36	VSS
AB2	MM0L_DQS6_P	AB19	VSS	AB36	VDD
AC2	VSS	AC19	VDD	AC36	VSS
AD2	MM0L_DQ53_H	AD19	VSS	AD36	VDD
AE2	MM0L_DQ55_H	AE19	VDD	AE36	VSS
AF2	VDDQ15	AF19	VSS	AF36	VDD
AG2	MM3L_DQ55_H	AG19	VDD	AG36	VSS
AH2	MM3L_DQ53_H	AH19	VSS	AH36	VDD
AJ2	VSS	AJ19	VDD	AJ36	VSS
AK2	MM3L_DQS6_P	AK19	VSS	AK36	VDD
AL2	MM3L_DQ51_H	AL19	VDD	AL36	VSS
AM2	VDDQ15	AM19	VSS	AM36	VDD
AN2	MM3L_DQ49_H	AN19	VDD	AN36	VSS
AP2	MM3L_DQ39_H	AP19	VSS	AP36	VDD
AR2	VSS	AR19	VDD	AR36	VSS
AT2	MM3L_DQ37_H	AT19	VSS	AT36	VDDQ15
AU2	MM3L_DQS4_P	AU19	FN	AU36	MM2H_PVT1
AV2	VDDQ15	AV19	FN	AV36	MM2H_VSSQA1
AW2	MM3L_DQ35_H	AW19	FN	AW36	MM2H_VDDQA1
AY2	MM3L_DQ33_H	AY19	VSS	AY36	VDDQ15
BA2	VSS	BA19	VSS	BA36	VSS
BB2	MM3L_A10_H	BB19	MM3H_DQ57_H	BB36	MM2H_DQ59_H
BC2	MM3L_A0_H	BC19	MM3H_DQ61_H	BC36	MM2H_DQ63_H

BD2	VDDQ15	BD19	MM3H_DQS7_N	BD36	MM2H_DQ46_H
BE2	MM3L_CK1_P	BE19	MM3L_DQ7_H	BE36	MM2L_DQ5_H
BF2	MM3L_A3_H	BF19	VSS	BF36	VDDQ15
BG2	VSS	BG19	VSS	BG36	VSS
BH2	MM3L_A9_H	BH19	MM3L_DQ15_H	BH36	MM2L_DQS1_P
BJ2	MM3L_A14_H	BJ19	MM3L_DQ11_H	BJ36	MM2L_DQS1_N
BK2	VDDQ15	BK19	MM3L_DQ23_H	BK36	MM2L_DQS2_P
BL2	VSS	BL19	MM3L_DQ19_H	BL36	MM2L_DQS2_N
A3	MM0L_CKE1_H	A20	VSS	A37	MM1L_DQ17_H
B3	MM0L_BA2_H	B20	VSS	B37	MM1L_DQ21_H
C3	VSS	C20	VSS	C37	VSS
D3	MM0L_A7_H	D20	VSS	D37	VSS
E3	MM0L_A8_H	E20	VSS	E37	MM1L_DQ0_H
F3	VSS	F20	VSS	F37	MM1L_DQ2_H
G3	MM0L_CK0_N	G20	VSS	G37	MM1L_DQ4_H
H3	MM0L_A1_H	H20	VSS	H37	MM1H_DQ47_H
J3	VSS	J20	MM0H_DQ60_H	J37	VSS
K3	MM0L_BA1_H	K20	MM0H_DQ56_H	K37	VSS
L3	MM0L_DQ40_H	L20	MM0H_DQ52_H	L37	MM1H_DQS6_P
M3	VSS	M20	VSS	M37	MM1H_DQS6_N
N3	MM0L_DQ42_H	N20	STAT_OUT_SEL_L0	N37	MM1H_VDDQA2
P3	MM0L_DQS5_N	P20	INIT_MODE0_H	P37	MM1H_VSSQA2
R3	VSS	R20	INIT_MODE1_H	R37	VSS
T3	MM0L_DQ44_H	T20	VDDQ15	T37	VDDQ15
U3	MM0L_DQ46_H	U20	VSS	U37	VDDQ15
V3	VSS	V20	VDD	V37	VSS
W3	MM0L_DQ56_H	W20	VSS	W37	VSS
Y3	MM0L_DQ58_H	Y20	VDD	Y37	VDDQ15
AA3	VSS	AA20	VSS	AA37	VDDQ15
AB3	MM0L_DQS7_N	AB20	VDD	AB37	VSS
AC3	MM0L_DQ60_H	AC20	VSS	AC37	VSS
AD3	VSS	AD20	VDD	AD37	VSS

AE3	MM0L_DQ62_H	AE20	VSS	AE37	VDDQ15
AF3	VDDQ15	AF20	VDD	AF37	VSS
AG3	MM3L_DQ62_H	AG20	VSS	AG37	VDDQ15
AH3	VSS	AH20	VDD	AH37	VSS
AJ3	MM3L_DQ60_H	AJ20	VSS	AJ37	VSS
AK3	MM3L_DQS7_N	AK20	VDD	AK37	VSS
AL3	VSS	AL20	VSS	AL37	VDDQ15
AM3	MM3L_DQ58_H	AM20	VDD	AM37	VDDQ15
AN3	MM3L_DQ56_H	AN20	VSS	AN37	VSS
AP3	VSS	AP20	VDD	AP37	VSS
AR3	MM3L_DQ46_H	AR20	VSS	AR37	VDDQ15
AT3	MM3L_DQ44_H	AT20	VDDQ15	AT37	VDDQ15
AU3	VSS	AU20	VDD33	AU37	VSS
AV3	MM3L_DQS5_N	AV20	SDA	AV37	MM2H_VSSQA2
AW3	MM3L_DQ42_H	AW20	FN	AW37	MM2H_VDDQA2
AY3	VSS	AY20	VSS	AY37	MM2H_DQS6_N
BA3	MM3L_DQ40_H	BA20	MM3H_DQ52_H	BA37	MM2H_DQS6_P
BB3	MM3L_BA1_H	BB20	MM3H_DQ56_H	BB37	VSS
BC3	VSS	BC20	MM3H_DQ60_H	BC37	VSS
BD3	MM3L_A1_H	BD20	VSS	BD37	MM2H_DQ47_H
BE3	MM3L_CK0_N	BE20	VSS	BE37	MM2L_DQ4_H
BF3	VSS	BF20	VSS	BF37	MM2L_DQ2_H
BG3	MM3L_A8_H	BG20	VSS	BG37	MM2L_DQ0_H
BH3	MM3L_A7_H	BH20	VSS	BH37	VSS
BJ3	VSS	BJ20	VSS	BJ37	VSS
BK3	MM3L_BA2_H	BK20	VSS	BK37	MM2L_DQ21_H
BL3	MM3L_CKE1_H	BL20	VSS	BL37	MM2L_DQ17_H
A4	MM0L_RESET_L	A21	PCI0_RX7_N	A38	VSS
B4	MM0L_CKE0_H	B21	PCI0_RX7_P	B38	VDDQ15
C4	MM0L_A12_H	C21	VSS	C38	MM1L_DQ9_H
D4	VSS	D21	PCI0_TX7_N	D38	MM1L_DQ13_H
E4	MM0L_A6_H	E21	PCI0_TX7_P	E38	MM1H_DQ38_H

F4	VDDQ15	F21	VSS	F38	MM1H_DQ36_H
G4	MM0L_CK0_P	G21	PCI0_VDDQA	G38	VSS
H4	MM0L_ODT0_H	H21	VSS	H38	VDDQ15
J4	VSS	J21	VSS	J38	MM1H_DQ44_H
K4	MM0L_BA0_H	K21	VSS	K38	MM1H_DQ42_H
L4	MM0L_DQ41_H	L21	MM0H_DQ51_H	L38	MM1H_DQ55_H
M4	VDDQ15	M21	VSS	M38	MM1H_DQ49_H
N4	MM0L_DQ43_H	N21	STAT_OUT_L0	N38	VSS
P4	MM0L_DQS5_P	P21	MT_TX_H	P38	MM1H_VREF
R4	VSS	R21	MT_RX_H	R38	MM1H_PVT2
T4	MM0L_DQ45_H	T21	VSS	T38	VDDQ15
U4	MM0L_DQ47_H	U21	VDD	U38	VDDQ15
V4	VDDQ15	V21	VSS	V38	VSS
W4	MM0L_DQ57_H	W21	VDD	W38	VSS
Y4	MM0L_DQ59_H	Y21	VSS	Y38	VDDQ15
AA4	VSS	AA21	VDD	AA38	VDDQ15
AB4	MM0L_DQS7_P	AB21	VSS	AB38	VSS
AC4	MM0L_DQ61_H	AC21	VDD	AC38	VSS
AD4	VDDQ15	AD21	VSS	AD38	VDDQ15
AE4	MM0L_DQ63_H	AE21	VDD	AE38	VSS
AF4	VDDQ15	AF21	VSS	AF38	VDDQ15
AG4	MM3L_DQ63_H	AG21	VDD	AG38	VSS
AH4	VDDQ15	AH21	VSS	AH38	VDDQ15
AJ4	MM3L_DQ61_H	AJ21	VDD	AJ38	VSS
AK4	MM3L_DQS7_P	AK21	VSS	AK38	VSS
AL4	VSS	AL21	VDD	AL38	VDDQ15
AM4	MM3L_DQ59_H	AM21	VSS	AM38	VDDQ15
AN4	MM3L_DQ57_H	AN21	VDD	AN38	VSS
AP4	VDDQ15	AP21	VSS	AP38	VSS
AR4	MM3L_DQ47_H	AR21	VDD	AR38	VDDQ15
AT4	MM3L_DQ45_H	AT21	VSS	AT38	VDDQ15

AU4	VSS	AU21	SCL	AU38	MM2H_PVT2
AV4	MM3L_DQS5_P	AV21	EVENT	AV38	MM2H_VREF
AW4	MM3L_DQ43_H	AW21	FN	AW38	VSS
AY4	VDDQ15	AY21	VSS	AY38	MM2H_DQ49_H
BA4	MM3L_DQ41_H	BA21	MM3H_DQ51_H	BA38	MM2H_DQ55_H
BB4	MM3L_BA0_H	BB21	VSS	BB38	MM2H_DQ42_H
BC4	VSS	BC21	VSS	BC38	MM2H_DQ44_H
BD4	MM3L_ODT0_H	BD21	VSS	BD38	VDDQ15
BE4	MM3L_CK0_P	BE21	PCI1_VDDQA	BE38	VSS
BF4	VDDQ15	BF21	VSS	BF38	MM2H_DQ36_H
BG4	MM3L_A6_H	BG21	PCI1_TX0_P	BG38	MM2H_DQ38_H
BH4	VSS	BH21	PCI1_TX0_N	BH38	MM2L_DQ13_H
BJ4	MM3L_A12_H	BJ21	VSS	BJ38	MM2L_DQ9_H
BK4	MM3L_CKE0_H	BK21	PCI1_RX0_P	BK38	VDDQ15
BL4	MM3L_RESET_L	BL21	PCI1_RX0_N	BL38	VSS
A5	VSS	A22	PCI0_RX6_N	A39	MM1L_DQ16_H
B5	VSS	B22	PCI0_RX6_P	B39	MM1L_DQ20_H
C5	MM0L_ECC0_H	C22	VSS	C39	MM1L_DQ8_H
D5	MM0L_ECC4_H	D22	PCI0_TX6_N	D39	MM1L_DQ12_H
E5	MM0L_ERR_L	E22	PCI0_TX6_P	E39	VSS
F5	MM0L_CS0_L	F22	VSS	F39	VSS
G5	VSS	G22	PCI0_VDDQA	G39	MM1H_DQ34_H
H5	MM0L_CS1_L	H22	VSS	H39	MM1H_DQ32_H
J5	MM0L_ODT1_H	J22	FN	J39	MM1H_DQS5_P
K5	VSS	K22	VSS	K39	MM1H_DQS5_N
L5	MM0H_CK1_P	L22	VSS	L39	VSS
M5	MM0H_CK0_P	M22	VSS	M39	MM1H_DQ50_H
N5	VSS	N22	STAT_OUT_L1	N39	VSS
P5	MM0H_A12_H	P22	STAT_OUT_SEL_L1	P39	MM1L_PVT2
R5	MM0H_CKE1_H	R22	STAT_OUT_L2	R39	VSS
T5	VSS	T22	VDDQ15	T39	MM1L_PVT1

U5	MM0H_ECC5_H	U22	VSS	U39	MM1L_PVT0
V5	MM0H_DQS8_P	V22	VDD	V39	VSS
W5	VSS	W22	VSS	W39	MM1L_VREF
Y5	MM0H_ECC1_H	Y22	VDD	Y39	VSS
AA5	MM0H_DQ31_H	AA22	VSS	AA39	MM1H_DQ5_H
AB5	VSS	AB22	VDD	AB39	MM1H_DQ4_H
AC5	MM0H_DQS3_P	AC22	VSS	AC39	VSS
AD5	MM0H_DQ27_H	AD22	VDD	AD39	MM1H_DQ1_H
AE5	VSS	AE22	VSS	AE39	MM1H_DQ0_H
AF5	VDDQ15	AF22	VDD	AF39	VDDQ15
AG5	VSS	AG22	VSS	AG39	MM2H_DQ0_H
AH5	MM3H_DQ27_H	AH22	VDD	AH39	MM2H_DQ1_H
AJ5	MM3H_DQS3_P	AJ22	VSS	AJ39	VSS
AK5	VSS	AK22	VDD	AK39	MM2H_DQ4_H
AL5	MM3H_DQ31_H	AL22	VSS	AL39	MM2H_DQ5_H
AM5	MM3H_ECC1_H	AM22	VDD	AM39	VSS
AN5	VSS	AN22	VSS	AN39	MM2L_VREF
AP5	MM3H_DQS8_P	AP22	VDD	AP39	VSS
AR5	MM3H_ECC5_H	AR22	VSS	AR39	MM2L_PVT0
AT5	VSS	AT22	VDDQ15	AT39	MM2L_PVT1
AU5	MM3H_CKE1_H	AU22	VSS	AU39	VSS
AV5	MM3H_A12_H	AV22	VSS	AV39	MM2L_PVT2
AW5	VSS	AW22	VSS	AW39	VSS
AY5	MM3H_CK0_P	AY22	VSS	AY39	MM2H_DQ50_H
BA5	MM3H_CK1_P	BA22	VSS	BA39	VSS
BB5	VSS	BB22	VSS	BB39	MM2H_DQS5_N
BC5	MM3L_ODT1_H	BC22	FN	BC39	MM2H_DQS5_P
BD5	MM3L_CS1_L	BD22	VSS	BD39	MM2H_DQ32_H
BE5	VSS	BE22	PCI1_VDDQA	BE39	MM2H_DQ34_H
BF5	MM3L_CS0_L	BF22	VSS	BF39	VSS
BG5	MM3L_ERR_L	BG22	PCI1_TX1_P	BG39	VSS

BH5	MM3L_ECC4_H	BH22	PCI1_TX1_N	BH39	MM2L_DQ12_H
BJ5	MM3L_ECC0_H	BJ22	VSS	BJ39	MM2L_DQ8_H
BK5	VSS	BK22	PCI1_RX1_P	BK39	MM2L_DQ20_H
BL5	VSS	BL22	PCI1_RX1_N	BL39	MM2L_DQ16_H
A6	MM0L_DQ24_H	A23	VSS	A40	MM1L_DQ27_H
B6	MM0L_DQ28_H	B23	VSS	B40	MM1L_DQ31_H
C6	VSS	C23	VSS	C40	VSS
D6	VDDQ15	D23	VSS	D40	VDDQ15
E6	MM0L_RAS_L	E23	VSS	E40	MM1H_DQS4_P
F6	MM0L_WE_L	F23	VSS	F40	MM1H_DQS4_N
G6	VDDQ15	G23	PCI0_VDDQA	G40	MM1H_DQ35_H
H6	MM0L_A13_H	H23	VSS	H40	MM1H_DQ33_H
J6	MM0L_CS2_L	J23	FN	J40	VSS
K6	VDDQ15	K23	FN	K40	VDDQ15
L6	MM0H_CK1_N	L23	FN	L40	MM1H_DQ41_H
M6	MM0H_CK0_N	M23	VSS	M40	VSS
N6	VSS	N23	VSS	N40	MM1H_ODT1_H
P6	MM0H_A9_H	P23	VSS	P40	VDDQ15
R6	MM0H_CKE0_H	R23	VSS	R40	MM1H_PAR_H
T6	VDDQ15	T23	VSS	T40	VSS
U6	MM0H_ECC4_H	U23	VDD	U40	VSS
V6	MM0H_DQS8_N	V23	VSS	V40	MM1L_VSSQA0
W6	VSS	W23	VDD	W40	MM1L_VSSQA1
Y6	MM0H_ECC0_H	Y23	VSS	Y40	MM1L_VSSQA2
AA6	MM0H_DQ30_H	AA23	VDD	AA40	MM1H_DQ6_H
AB6	VDDQ15	AB23	VSS	AB40	VDDQ15
AC6	MM0H_DQS3_N	AC23	VDD	AC40	MM1H_DQS0_N
AD6	MM0H_DQ26_H	AD23	VSS	AD40	MM1H_DQ2_H
AE6	VSS	AE23	VDD	AE40	VSS
AF6	VDDQ15	AF23	VSS	AF40	VDDQ15
AG6	VSS	AG23	VDD	AG40	VSS

AH6	MM3H_DQ26_H	AH23	VSS	AH40	MM2H_DQ2_H
AJ6	MM3H_DQS3_N	AJ23	VDD	AJ40	MM2H_DQS0_N
AK6	VDDQ15	AK23	VSS	AK40	VDDQ15
AL6	MM3H_DQ30_H	AL23	VDD	AL40	MM2H_DQ6_H
AM6	MM3H_ECC0_H	AM23	VSS	AM40	MM2L_VSSQA2
AN6	VSS	AN23	VDD	AN40	MM2L_VSSQA1
AP6	MM3H_DQS8_N	AP23	VSS	AP40	MM2L_VSSQA0
AR6	MM3H_ECC4_H	AR23	VDD	AR40	VSS
AT6	VDDQ15	AT23	VSS	AT40	VSS
AU6	MM3H_CKE0_H	AU23	RCLK_N	AU40	MM2H_PAR_H
AV6	MM3H_A9_H	AV23	RCLK_P	AV40	VDDQ15
AW6	VSS	AW23	FN	AW40	MM2H_ODT1_H
AY6	MM3H_CK0_N	AY23	VSS	AY40	VSS
BA6	MM3H_CK1_N	BA23	FN	BA40	MM2H_DQ41_H
BB6	VDDQ15	BB23	FN	BB40	VDDQ15
BC6	MM3L_CS2_L	BC23	FN	BC40	VSS
BD6	MM3L_A13_H	BD23	VSS	BD40	MM2H_DQ33_H
BE6	VDDQ15	BE23	PCI1_VDDQA	BE40	MM2H_DQ35_H
BF6	MM3L_WE_L	BF23	VSS	BF40	MM2H_DQS4_N
BG6	MM3L_RAS_L	BG23	VSS	BG40	MM2H_DQS4_P
BH6	VDDQ15	BH23	VSS	BH40	VDDQ15
BJ6	VSS	BJ23	VSS	BJ40	VSS
BK6	MM3L_DQ28_H	BK23	VSS	BK40	MM2L_DQ31_H
BL6	MM3L_DQ24_H	BL23	VSS	BL40	MM2L_DQ27_H
A7	MM0L_DQ25_H	A24	PCI0_RX5_N	A41	VSS
B7	MM0L_DQ29_H	B24	PCI0_RX5_P	B41	VSS
C7	MM0L_ECC1_H	C24	VSS	C41	MM1L_ECC3_H
D7	MM0L_ECC5_H	D24	PCI0_TX5_N	D41	MM1L_ECC7_H
E7	VSS	E24	PCI0_TX5_P	E41	MM1H_DQ39_H
F7	VSS	F24	VSS	F41	MM1H_DQ37_H
G7	MM0L_CAS_L	G24	PCI0_VDDQA	G41	VSS

H7	VSS	H24	VSS	H41	VSS
J7	MM0L_CS3_L	J24	FN	J41	MM1H_DQ45_H
K7	MM0L_PAR_H	K24	MT_VDDQ18	K41	MM1H_DQ43_H
L7	VSS	L24	FN	L41	VSS
M7	MM0H_A2_H	M24	RESET_L	M41	MM1H_DQ40_H
N7	MM0H_A4_H	N24	STAT_OUT_L3	N41	VSS
P7	VSS	P24	STAT_OUT_L4	P41	MM1H_A7_H
R7	MM0H_A15_H	R24	NMI_L	R41	MM1H_A14_H
T7	MM0H_ECC7_H	T24	VDDQ15	T41	VSS
U7	VSS	U24	VSS	U41	MM1H_RESET_L
V7	MM0H_ECC3_H	V24	VDD	V41	MM1L_VDDQA0
W7	MM0H_ECC2_H	W24	VSS	W41	MM1L_VDDQA1
Y7	VSS	Y24	VDD	Y41	MM1L_VDDQA2
AA7	MM0H_DQ29_H	AA24	VSS	AA41	MM1H_DQ7_H
AB7	MM0H_DQ28_H	AB24	VDD	AB41	VSS
AC7	VSS	AC24	VSS	AC41	MM1H_DQS0_P
AD7	MM0H_DQ25_H	AD24	VDD	AD41	MM1H_DQ3_H
AE7	MM0H_DQ24_H	AE24	VSS	AE41	VSS
AF7	VDDQ15	AF24	VDD	AF41	VDDQ15
AG7	MM3H_DQ24_H	AG24	VSS	AG41	VSS
AH7	MM3H_DQ25_H	AH24	VDD	AH41	MM2H_DQ3_H
AJ7	VSS	AJ24	VSS	AJ41	MM2H_DQS0_P
AK7	MM3H_DQ28_H	AK24	VDD	AK41	VSS
AL7	MM3H_DQ29_H	AL24	VSS	AL41	MM2H_DQ7_H
AM7	VSS	AM24	VDD	AM41	MM2L_VDDQA2
AN7	MM3H_ECC2_H	AN24	VSS	AN41	MM2L_VDDQA1
AP7	MM3H_ECC3_H	AP24	VDD	AP41	MM2L_VDDQA0
AR7	VSS	AR24	VSS	AR41	MM2H_RESET_L
AT7	MM3H_ECC7_H	AT24	VDDQ15	AT41	VSS
AU7	MM3H_A15_H	AU24	VSS	AU41	MM2H_A14_H
AV7	VSS	AV24	VSS	AV41	MM2H_A7_H

AW7	MM3H_A4_H	AW24	VSS	AW41	VSS
AY7	MM3H_A2_H	AY24	VSS	AY41	MM2H_DQ40_H
BA7	VSS	BA24	CLK_VDDQ18	BA41	VSS
BB7	MM3L_PAR_H	BB24	FN	BB41	MM2H_DQ43_H
BC7	MM3L_CS3_L	BC24	FN	BC41	MM2H_DQ45_H
BD7	VSS	BD24	VSS	BD41	VSS
BE7	MM3L_CAS_L	BE24	PCI1_VDDQA	BE41	VSS
BF7	VSS	BF24	VSS	BF41	MM2H_DQ37_H
BG7	VSS	BG24	PCI1_TX2_P	BG41	MM2H_DQ39_H
BH7	MM3L_ECC5_H	BH24	PCI1_TX2_N	BH41	MM2L_ECC7_H
BJ7	MM3L_ECC1_H	BJ24	VSS	BJ41	MM2L_ECC3_H
BK7	MM3L_DQ29_H	BK24	PCI1_RX2_P	BK41	VSS
BL7	MM3L_DQ25_H	BL24	PCI1_RX2_N	BL41	VSS
A8	VSS	A25	PCI0_RX4_N	A42	MM1L_DQ26_H
B8	VDDQ15	B25	PCI0_RX4_P	B42	MM1L_DQ30_H
C8	MM0L_DQS8_N	C25	VSS	C42	MM1L_ECC2_H
D8	MM0L_DQS8_P	D25	PCI0_TX4_N	D42	MM1L_ECC6_H
E8	MM0H_CS2_L	E25	PCI0_TX4_P	E42	VSS
F8	MM0H_CS3_L	F25	VSS	F42	VDDQ15
G8	VSS	G25	VSS	G42	MM1H_WE_L
H8	VDDQ15	H25	VSS	H42	MM1H_CAS_L
J8	MM0H_BA1_H	J25	FN	J42	MM1H_ODT0_H
K8	MM0H_A10_H	K25	MT_VDDQ18	K42	VDDQ15
L8	VSS	L25	FN	L42	MM1H_CS1_L
M8	MM0H_A1_H	M25	WAKEUP_L	M42	VDDQ15
N8	MM0H_A6_H	N25	TDO_H	N42	MM1H_A13_H
P8	VDDQ15	P25	TRST_L	P42	MM1H_A8_H
R8	MM0H_BA2_H	R25	SS_L	R42	VSS
T8	MM0H_ECC6_H	T25	VSS	T42	MM1H_DQ22_H
U8	VSS	U25	VDD	U42	MM1H_DQ20_H
V8	MM0H_DQS2_P	V25	VSS	V42	VDDQ15

W8	MM0H_DQS2_N	W25	VDD	W42	MM1H_DQ18_H
Y8	VDDQ15	Y25	VSS	Y42	MM1H_DQ16_H
AA8	MM0H_DQ15_H	AA25	VDD	AA42	VSS
AB8	MM0H_DQ14_H	AB25	VSS	AB42	MM1H_DQ12_H
AC8	VSS	AC25	VDD	AC42	MM1H_DQS1_N
AD8	MM0H_DQ11_H	AD25	VSS	AD42	VDDQ15
AE8	MM0H_DQ10_H	AE25	VDD	AE42	MM1H_DQ8_H
AF8	VDDQ15	AF25	VSS	AF42	VDDQ15
AG8	MM3H_DQ10_H	AG25	VDD	AG42	MM2H_DQ8_H
AH8	MM3H_DQ11_H	AH25	VSS	AH42	VDDQ15
AJ8	VSS	AJ25	VDD	AJ42	MM2H_DQS1_N
AK8	MM3H_DQ14_H	AK25	VSS	AK42	MM2H_DQ12_H
AL8	MM3H_DQ15_H	AL25	VDD	AL42	VSS
AM8	VDDQ15	AM25	VSS	AM42	MM2H_DQ16_H
AN8	MM3H_DQS2_N	AN25	VDD	AN42	MM2H_DQ18_H
AP8	MM3H_DQS2_P	AP25	VSS	AP42	VDDQ15
AR8	VSS	AR25	VDD	AR42	MM2H_DQ20_H
AT8	MM3H_ECC6_H	AT25	VSS	AT42	MM2H_DQ22_H
AU8	MM3H_BA2_H	AU25	CFG_RING1_H	AU42	VSS
AV8	VDDQ15	AV25	CFG_RING0_H	AV42	MM2H_A8_H
AW8	MM3H_A6_H	AW25	SPARE6_H	AW42	MM2H_A13_H
AY8	MM3H_A1_H	AY25	FN	AY42	VDDQ15
BA8	VSS	BA25	CLK_VDDQ18	BA42	MM2H_CS1_L
BB8	MM3H_A10_H	BB25	FN	BB42	VDDQ15
BC8	MM3H_BA1_H	BC25	VSS	BC42	MM2H_ODT0_H
BD8	VDDQ15	BD25	VSS	BD42	MM2H_CAS_L
BE8	VSS	BE25	VSS	BE42	MM2H_WE_L
BF8	MM3H_CS3_L	BF25	VSS	BF42	VDDQ15
BG8	MM3H_CS2_L	BG25	PCI1_TX3_P	BG42	VSS
BH8	MM3L_DQS8_P	BH25	PCI1_TX3_N	BH42	MM2L_ECC6_H
BJ8	MM3L_DQS8_N	BJ25	VSS	BJ42	MM2L_ECC2_H

BK8	VDDQ15	BK25	PCI1_RX3_P	BK42	MM2L_DQ30_H
BL8	VSS	BL25	PCI1_RX3_N	BL42	MM2L_DQ26_H
A9	MM0L_DQS3_N	A26	VSS	A43	MM1L_DQS3_N
B9	MM0L_DQS3_P	B26	VSS	B43	MM1L_DQS3_P
C9	VSS	C26	PCI0_REFRES	C43	VSS
D9	VSS	D26	VSS	D43	VSS
E9	MM0H_CS0_L	E26	VSS	E43	MM1H_CS0_L
F9	MM0H_ERR_L	F26	PCI0_CLK_N	F43	MM1H_ERR_L
G9	MM0H_RAS_L	G26	PCI0_CLK_P	G43	MM1H_RAS_L
H9	MM0H_BA0_H	H26	VSS	H43	MM1H_BA0_H
J9	VSS	J26	FN	J43	VSS
K9	MM0H_A5_H	K26	MT_VDDQ18	K43	MM1H_A5_H
L9	MM0H_A0_H	L26	FN	L43	MM1H_A0_H
M9	VSS	M26	VSS	M43	VSS
N9	MM0H_A3_H	N26	VSS	N43	MM1H_A3_H
P9	MM0H_A11_H	P26	VSS	P43	MM1H_A11_H
R9	VSS	R26	VSS	R43	VSS
T9	MM0H_DQ23_H	T26	VSS	T43	MM1H_DQ23_H
U9	MM0H_DQ21_H	U26	VSS	U43	MM1H_DQ21_H
V9	VSS	V26	VDD	V43	VSS
W9	MM0H_DQ19_H	W26	VSS	W43	MM1H_DQ19_H
Y9	MM0H_DQ17_H	Y26	VDD	Y43	MM1H_DQ17_H
AA9	VSS	AA26	VSS	AA43	VSS
AB9	MM0H_DQ13_H	AB26	VDD	AB43	MM1H_DQ13_H
AC9	MM0H_DQS1_P	AC26	VSS	AC43	MM1H_DQS1_P
AD9	VSS	AD26	VDD	AD43	VSS
AE9	MM0H_DQ9_H	AE26	VSS	AE43	MM1H_DQ9_H
AF9	VDDQ15	AF26	VDD	AF43	VDDQ15
AG9	MM3H_DQ9_H	AG26	VSS	AG43	MM2H_DQ9_H
AH9	VSS	AH26	VDD	AH43	VSS
AJ9	MM3H_DQS1_P	AJ26	VSS	AJ43	MM2H_DQS1_P

AK9	MM3H_DQ13_H	AK26	VDD	AK43	MM2H_DQ13_H
AL9	VSS	AL26	VSS	AL43	VSS
AM9	MM3H_DQ17_H	AM26	VDD	AM43	MM2H_DQ17_H
AN9	MM3H_DQ19_H	AN26	VSS	AN43	MM2H_DQ19_H
AP9	VSS	AP26	VDD	AP43	VSS
AR9	MM3H_DQ21_H	AR26	VSS	AR43	MM2H_DQ21_H
AT9	MM3H_DQ23_H	AT26	VSS	AT43	MM2H_DQ23_H
AU9	VSS	AU26	FN	AU43	VSS
AV9	MM3H_A11_H	AV26	CFG_RING2_H	AV43	MM2H_A11_H
AW9	MM3H_A3_H	AW26	SPARE5_H	AW43	MM2H_A3_H
AY9	VSS	AY26	FN	AY43	VSS
BA9	MM3H_A0_H	BA26	CLK_VDDQ18	BA43	MM2H_A0_H
BB9	MM3H_A5_H	BB26	FN	BB43	MM2H_A5_H
BC9	VSS	BC26	VSS	BC43	VSS
BD9	MM3H_BA0_H	BD26	PCI1_CLK_P	BD43	MM2H_BA0_H
BE9	MM3H_RAS_L	BE26	PCI1_CLK_N	BE43	MM2H_RAS_L
BF9	MM3H_ERR_L	BF26	VSS	BF43	MM2H_ERR_L
BG9	MM3H_CS0_L	BG26	VSS	BG43	MM2H_CS0_L
BH9	VSS	BH26	VSS	BH43	VSS
BJ9	VSS	BJ26	PCI1_REFRES	BJ43	VSS
BK9	MM3L_DQS3_P	BK26	VSS	BK43	MM2L_DQS3_P
BL9	MM3L_DQS3_N	BL26	VSS	BL43	MM2L_DQS3_N
A10	MM0L_DQ26_H	A27	PCI0_RX3_N	A44	VSS
B10	MM0L_DQ30_H	B27	PCI0_RX3_P	B44	VDDQ15
C10	MM0L_ECC2_H	C27	VSS	C44	MM1L_DQS8_N
D10	MM0L_ECC6_H	D27	PCI0_TX3_N	D44	MM1L_DQS8_P
E10	VSS	E27	PCI0_TX3_P	E44	MM1H_CS2_L
F10	VDDQ15	F27	VSS	F44	MM1H_CS3_L
G10	MM0H_WE_L	G27	VSS	G44	VSS
H10	MM0H_CAS_L	H27	VSS	H44	VDDQ15
J10	MM0H_ODT0_H	J27	FN	J44	MM1H_BA1_H

K10	VDDQ15	K27	MT_VDDQ18	K44	MM1H_A10_H
L10	MM0H_CS1_L	L27	FN	L44	VSS
M10	VDDQ15	M27	TCK_H	M44	MM1H_A1_H
N10	MM0H_A13_H	N27	SCK_H	N44	MM1H_A6_H
P10	MM0H_A8_H	P27	SPARE1_H	P44	VDDQ15
R10	VSS	R27	TDI_H	R44	MM1H_BA2_H
T10	MM0H_DQ22_H	T27	VSS	T44	MM1H_ECC6_H
U10	MM0H_DQ20_H	U27	VDD	U44	VSS
V10	VDDQ15	V27	VSS	V44	MM1H_DQS2_P
W10	MM0H_DQ18_H	W27	VDD	W44	MM1H_DQS2_N
Y10	MM0H_DQ16_H	Y27	VSS	Y44	VDDQ15
AA10	VSS	AA27	VDD	AA44	MM1H_DQ15_H
AB10	MM0H_DQ12_H	AB27	VSS	AB44	MM1H_DQ14_H
AC10	MM0H_DQS1_N	AC27	VDD	AC44	VSS
AD10	VDDQ15	AD27	VSS	AD44	MM1H_DQ11_H
AE10	MM0H_DQ8_H	AE27	VDD	AE44	MM1H_DQ10_H
AF10	VDDQ15	AF27	VSS	AF44	VDDQ15
AG10	MM3H_DQ8_H	AG27	VDD	AG44	MM2H_DQ10_H
AH10	VDDQ15	AH27	VSS	AH44	MM2H_DQ11_H
AJ10	MM3H_DQS1_N	AJ27	VDD	AJ44	VSS
AK10	MM3H_DQ12_H	AK27	VSS	AK44	MM2H_DQ14_H
AL10	VSS	AL27	VDD	AL44	MM2H_DQ15_H
AM10	MM3H_DQ16_H	AM27	VSS	AM44	VDDQ15
AN10	MM3H_DQ18_H	AN27	VDD	AN44	MM2H_DQS2_N
AP10	VDDQ15	AP27	VSS	AP44	MM2H_DQS2_P
AR10	MM3H_DQ20_H	AR27	VDD	AR44	VSS
AT10	MM3H_DQ22_H	AT27	VSS	AT44	MM2H_ECC6_H
AU10	VSS	AU27	CFG_SEL_H1	AU44	MM2H_BA2_H
AV10	MM3H_A8_H	AV27	CFG_SEL_H0	AV44	VDDQ15
AW10	MM3H_A13_H	AW27	SPARE4_H	AW44	MM2H_A6_H
AY10	VDDQ15	AY27	FN	AY44	MM2H_A1_H

BA10	MM3H_CS1_L	BA27	CLK_VDDQ18	BA44	VSS
BB10	VDDQ15	BB27	FN	BB44	MM2H_A10_H
BC10	MM3H_ODT0_H	BC27	VSS	BC44	MM2H_BA1_H
BD10	MM3H_CAS_L	BD27	VSS	BD44	VDDQ15
BE10	MM3H_WE_L	BE27	VSS	BE44	VSS
BF10	VDDQ15	BF27	VSS	BF44	MM2H_CS3_L
BG10	VSS	BG27	PCI1_TX4_P	BG44	MM2H_CS2_L
BH10	MM3L_ECC6_H	BH27	PCI1_TX4_N	BH44	MM2L_DQS8_P
BJ10	MM3L_ECC2_H	BJ27	VSS	BJ44	MM2L_DQS8_N
BK10	MM3L_DQ30_H	BK27	PCI1_RX4_P	BK44	VDDQ15
BL10	MM3L_DQ26_H	BL27	PCI1_RX4_N	BL44	VSS
A11	VSS	A28	PCI0_RX2_N	A45	MM1L_DQ25_H
B11	VSS	B28	PCI0_RX2_P	B45	MM1L_DQ29_H
C11	MM0L_ECC3_H	C28	VSS	C45	MM1L_ECC1_H
D11	MM0L_ECC7_H	D28	PCI0_TX2_N	D45	MM1L_ECC5_H
E11	MM0H_DQ39_H	E28	PCI0_TX2_P	E45	VSS
F11	MM0H_DQ37_H	F28	VSS	F45	VSS
G11	VSS	G28	PCI0_VDDA	G45	MM1L_CAS_L
H11	VSS	H28	VSS	H45	VSS
J11	MM0H_DQ45_H	J28	FN	J45	MM1L_CS3_L
K11	MM0H_DQ43_H	K28	MT_VDDQ18	K45	MM1L_PAR_H
L11	VSS	L28	FN	L45	VSS
M11	MM0H_DQ40_H	M28	SPARE2_H	M45	MM1H_A2_H
N11	VSS	N28	TMS_H	N45	MM1H_A4_H
P11	MM0H_A7_H	P28	SEL_TAP_H0	P45	VSS
R11	MM0H_A14_H	R28	SDA_M_H	R45	MM1H_A15_H
T11	VSS	T28	VDDQ15	T45	MM1H_ECC7_H
U11	MM0H_RESET_L	U28	VSS	U45	VSS
V11	MM0L_VDDQA0	V28	VDD	V45	MM1H_ECC3_H
W11	MM0L_VDDQA1	W28	VSS	W45	MM1H_ECC2_H
Y11	MM0L_VDDQA2	Y28	VDD	Y45	VSS

AA11	MM0H_DQ7_H	AA28	VSS	AA45	MM1H_DQ29_H
AB11	VSS	AB28	VDD	AB45	MM1H_DQ28_H
AC11	MM0H_DQS0_P	AC28	VSS	AC45	VSS
AD11	MM0H_DQ3_H	AD28	VDD	AD45	MM1H_DQ25_H
AE11	VSS	AE28	VSS	AE45	MM1H_DQ24_H
AF11	VDDQ15	AF28	VDD	AF45	VDDQ15
AG11	VSS	AG28	VSS	AG45	MM2H_DQ24_H
AH11	MM3H_DQ3_H	AH28	VDD	AH45	MM2H_DQ25_H
AJ11	MM3H_DQS0_P	AJ28	VSS	AJ45	VSS
AK11	VSS	AK28	VDD	AK45	MM2H_DQ28_H
AL11	MM3H_DQ7_H	AL28	VSS	AL45	MM2H_DQ29_H
AM11	MM3L_VDDQA2	AM28	VDD	AM45	VSS
AN11	MM3L_VDDQA1	AN28	VSS	AN45	MM2H_ECC2_H
AP11	MM3L_VDDQA0	AP28	VDD	AP45	MM2H_ECC3_H
AR11	MM3H_RESET_L	AR28	VSS	AR45	VSS
AT11	VSS	AT28	VDDQ15	AT45	MM2H_ECC7_H
AU11	MM3H_A14_H	AU28	VSS	AU45	MM2H_A15_H
AV11	MM3H_A7_H	AV28	VSS	AV45	VSS
AW11	VSS	AW28	VSS	AW45	MM2H_A4_H
AY11	MM3H_DQ40_H	AY28	VSS	AY45	MM2H_A2_H
BA11	VSS	BA28	CLK_VDDQ18	BA45	VSS
BB11	MM3H_DQ43_H	BB28	FN	BB45	MM2L_PAR_H
BC11	MM3H_DQ45_H	BC28	FN	BC45	MM2L_CS3_L
BD11	VSS	BD28	VSS	BD45	VSS
BE11	VSS	BE28	PCI1_VDDA	BE45	MM2L_CAS_L
BF11	MM3H_DQ37_H	BF28	VSS	BF45	VSS
BG11	MM3H_DQ39_H	BG28	PCI1_TX5_P	BG45	VSS
BH11	MM3L_ECC7_H	BH28	PCI1_TX5_N	BH45	MM2L_ECC5_H
BJ11	MM3L_ECC3_H	BJ28	VSS	BJ45	MM2L_ECC1_H
BK11	VSS	BK28	PCI1_RX5_P	BK45	MM2L_DQ29_H
BL11	VSS	BL28	PCI1_RX5_N	BL45	MM2L_DQ25_H

A12	MM0L_DQ27_H	A29	VSS	A46	MM1L_DQ24_H
B12	MM0L_DQ31_H	B29	VSS	B46	MM1L_DQ28_H
C12	VSS	C29	VSS	C46	VSS
D12	VDDQ15	D29	VSS	D46	VDDQ15
E12	MM0H_DQS4_P	E29	VSS	E46	MM1L_RAS_L
F12	MM0H_DQS4_N	F29	VSS	F46	MM1L_WE_L
G12	MM0H_DQ35_H	G29	PCI0_VDDA	G46	VDDQ15
H12	MM0H_DQ33_H	H29	VSS	H46	MM1L_A13_H
J12	VSS	J29	FN	J46	MM1L_CS2_L
K12	VDDQ15	K29	FN	K46	VDDQ15
L12	MM0H_DQ41_H	L29	FN	L46	MM1H_CK1_N
M12	VSS	M29	VSS	M46	MM1H_CK0_N
N12	MM0H_ODT1_H	N29	VSS	N46	VSS
P12	VDDQ15	P29	VSS	P46	MM1H_A9_H
R12	MM0H_PAR_H	R29	VSS	R46	MM1H_CKE0_H
T12	VSS	T29	VSS	T46	VDDQ15
U12	VSS	U29	VDD	U46	MM1H_ECC4_H
V12	MM0L_VSSQA0	V29	VSS	V46	MM1H_DQS8_N
W12	MM0L_VSSQA1	W29	VDD	W46	VSS
Y12	MM0L_VSSQA2	Y29	VSS	Y46	MM1H_ECC0_H
AA12	MM0H_DQ6_H	AA29	VDD	AA46	MM1H_DQ30_H
AB12	VDDQ15	AB29	VSS	AB46	VDDQ15
AC12	MM0H_DQS0_N	AC29	VDD	AC46	MM1H_DQS3_N
AD12	MM0H_DQ2_H	AD29	VSS	AD46	MM1H_DQ26_H
AE12	VSS	AE29	VDD	AE46	VSS
AF12	VDDQ15	AF29	VSS	AF46	VDDQ15
AG12	VSS	AG29	VDD	AG46	VSS
AH12	MM3H_DQ2_H	AH29	VSS	AH46	MM2H_DQ26_H
AJ12	MM3H_DQS0_N	AJ29	VDD	AJ46	MM2H_DQS3_N
AK12	VDDQ15	AK29	VSS	AK46	VDDQ15
AL12	MM3H_DQ6_H	AL29	VDD	AL46	MM2H_DQ30_H

AM12	MM3L_VSSQA2	AM29	VSS	AM46	MM2H_ECC0_H
AN12	MM3L_VSSQA1	AN29	VDD	AN46	VSS
AP12	MM3L_VSSQA0	AP29	VSS	AP46	MM2H_DQS8_N
AR12	VSS	AR29	VDD	AR46	MM2H_ECC4_H
AT12	VSS	AT29	VSS	AT46	VDDQ15
AU12	MM3H_PAR_H	AU29	CLK_VDDA0	AU46	MM2H_CKE0_H
AV12	VDDQ15	AV29	CLK_VDDA1	AV46	MM2H_A9_H
AW12	MM3H_ODT1_H	AW29	CLK_VDDA2	AW46	VSS
AY12	VSS	AY29	VSS	AY46	MM2H_CK0_N
BA12	MM3H_DQ41_H	BA29	FN	BA46	MM2H_CK1_N
BB12	VDDQ15	BB29	FN	BB46	VDDQ15
BC12	VSS	BC29	FN	BC46	MM2L_CS2_L
BD12	MM3H_DQ33_H	BD29	VSS	BD46	MM2L_A13_H
BE12	MM3H_DQ35_H	BE29	PCI1_VDDA	BE46	VDDQ15
BF12	MM3H_DQS4_N	BF29	VSS	BF46	MM2L_WE_L
BG12	MM3H_DQS4_P	BG29	VSS	BG46	MM2L_RAS_L
BH12	VDDQ15	BH29	VSS	BH46	VDDQ15
BJ12	VSS	BJ29	VSS	BJ46	VSS
BK12	MM3L_DQ31_H	BK29	VSS	BK46	MM2L_DQ28_H
BL12	MM3L_DQ27_H	BL29	VSS	BL46	MM2L_DQ24_H
A13	MM0L_DQ16_H	A30	PCI0_RX1_N	A47	VSS
B13	MM0L_DQ20_H	B30	PCI0_RX1_P	B47	VSS
C13	MM0L_DQ8_H	C30	VSS	C47	MM1L_ECC0_H
D13	MM0L_DQ12_H	D30	PCI0_TX1_N	D47	MM1L_ECC4_H
E13	VSS	E30	PCI0_TX1_P	E47	MM1L_ERR_L
F13	VSS	F30	VSS	F47	MM1L_CS0_L
G13	MM0H_DQ34_H	G30	PCI0_VDDA	G47	VSS
H13	MM0H_DQ32_H	H30	VSS	H47	MM1L_CS1_L
J13	MM0H_DQS5_P	J30	FN	J47	MM1L_ODT1_H
K13	MM0H_DQS5_N	K30	VSS	K47	VSS
L13	VSS	L30	VSS	L47	MM1H_CK1_P

M13	MM0H_DQ50_H	M30	VSS	M47	MM1H_CK0_P
N13	VSS	N30	SEL_TAP_H1	N47	VSS
P13	MM0L_PVT2	P30	SCL_M_H	P47	MM1H_A12_H
R13	VSS	R30	SPARE3_H	R47	MM1H_CKE1_H
T13	MM0L_PVT1	T30	VDDQ15	T47	VSS
U13	MM0L_PVT0	U30	VSS	U47	MM1H_ECC5_H
V13	VSS	V30	VDD	V47	MM1H_DQS8_P
W13	MM0L_VREF	W30	VSS	W47	VSS
Y13	VSS	Y30	VDD	Y47	MM1H_ECC1_H
AA13	MM0H_DQ5_H	AA30	VSS	AA47	MM1H_DQ31_H
AB13	MM0H_DQ4_H	AB30	VDD	AB47	VSS
AC13	VSS	AC30	VSS	AC47	MM1H_DQS3_P
AD13	MM0H_DQ1_H	AD30	VDD	AD47	MM1H_DQ27_H
AE13	MM0H_DQ0_H	AE30	VSS	AE47	VSS
AF13	VDDQ15	AF30	VDD	AF47	VDDQ15
AG13	MM3H_DQ0_H	AG30	VSS	AG47	VSS
AH13	MM3H_DQ1_H	AH30	VDD	AH47	MM2H_DQ27_H
AJ13	VSS	AJ30	VSS	AJ47	MM2H_DQS3_P
AK13	MM3H_DQ4_H	AK30	VDD	AK47	VSS
AL13	MM3H_DQ5_H	AL30	VSS	AL47	MM2H_DQ31_H
AM13	VSS	AM30	VDD	AM47	MM2H_ECC1_H
AN13	MM3L_VREF	AN30	VSS	AN47	VSS
AP13	VSS	AP30	VDD	AP47	MM2H_DQS8_P
AR13	MM3L_PVT0	AR30	VSS	AR47	MM2H_ECC5_H
AT13	MM3L_PVT1	AT30	VDDQ15	AT47	VSS
AU13	VSS	AU30	VSS	AU47	MM2H_CKE1_H
AV13	MM3L_PVT2	AV30	VSS	AV47	MM2H_A12_H
AW13	VSS	AW30	VSS	AW47	VSS
AY13	MM3H_DQ50_H	AY30	VSS	AY47	MM2H_CK0_P
BA13	VSS	BA30	VSS	BA47	MM2H_CK1_P
BB13	MM3H_DQS5_N	BB30	VSS	BB47	VSS

BC13	MM3H_DQS5_P	BC30	FN	BC47	MM2L_ODT1_H
BD13	MM3H_DQ32_H	BD30	VSS	BD47	MM2L_CS1_L
BE13	MM3H_DQ34_H	BE30	PCI1_VDDA	BE47	VSS
BF13	VSS	BF30	VSS	BF47	MM2L_CS0_L
BG13	VSS	BG30	PCI1_TX6_P	BG47	MM2L_ERR_L
BH13	MM3L_DQ12_H	BH30	PCI1_TX6_N	BH47	MM2L_ECC4_H
BJ13	MM3L_DQ8_H	BJ30	VSS	BJ47	MM2L_ECC0_H
BK13	MM3L_DQ20_H	BK30	PCI1_RX6_P	BK47	VSS
BL13	MM3L_DQ16_H	BL30	PCI1_RX6_N	BL47	VSS
A14	VSS	A31	PCI0_RX0_N	A48	MM1L_RESET_L
B14	VDDQ15	B31	PCI0_RX0_P	B48	MM1L_CKE0_H
C14	MM0L_DQ9_H	C31	VSS	C48	MM1L_A12_H
D14	MM0L_DQ13_H	D31	PCI0_TX0_N	D48	VSS
E14	MM0H_DQ38_H	E31	PCI0_TX0_P	E48	MM1L_A6_H
F14	MM0H_DQ36_H	F31	VSS	F48	VDDQ15
G14	VSS	G31	PCI0_VDDA	G48	MM1L_CK0_P
H14	VDDQ15	H31	VSS	H48	MM1L_ODT0_H
J14	MM0H_DQ44_H	J31	VSS	J48	VSS
K14	MM0H_DQ42_H	K31	VSS	K48	MM1L_BA0_H
L14	MM0H_DQ55_H	L31	MM1H_DQ51_H	L48	MM1L_DQ41_H
M14	MM0H_DQ49_H	M31	VSS	M48	VDDQ15
N14	VSS	N31	CHIP_MODE0_H	N48	MM1L_DQ43_H
P14	MM0H_VREF	P31	CHIP_MODE1_H	P48	MM1L_DQS5_P
R14	MM0H_PVT2	R31	CHIP_MODE2_H	R48	VSS
T14	VDDQ15	T31	VSS	T48	MM1L_DQ45_H
U14	VDDQ15	U31	VDD	U48	MM1L_DQ47_H
V14	VSS	V31	VSS	V48	VDDQ15
W14	VSS	W31	VDD	W48	MM1L_DQ57_H
Y14	VDDQ15	Y31	VSS	Y48	MM1L_DQ59_H
AA14	VDDQ15	AA31	VDD	AA48	VSS
AB14	VSS	AB31	VSS	AB48	MM1L_DQS7_P

AC14	VSS	AC31	VDD	AC48	MM1L_DQ61_H
AD14	VDDQ15	AD31	VSS	AD48	VDDQ15
AE14	VSS	AE31	VDD	AE48	MM1L_DQ63_H
AF14	VDDQ15	AF31	VSS	AF48	VDDQ15
AG14	VSS	AG31	VDD	AG48	MM2L_DQ63_H
AH14	VDDQ15	AH31	VSS	AH48	VDDQ15
AJ14	VSS	AJ31	VDD	AJ48	MM2L_DQ61_H
AK14	VSS	AK31	VSS	AK48	MM2L_DQS7_P
AL14	VDDQ15	AL31	VDD	AL48	VSS
AM14	VDDQ15	AM31	VSS	AM48	MM2L_DQ59_H
AN14	VSS	AN31	VDD	AN48	MM2L_DQ57_H
AP14	VSS	AP31	VSS	AP48	VDDQ15
AR14	VDDQ15	AR31	VDD	AR48	MM2L_DQ47_H
AT14	VDDQ15	AT31	VSS	AT48	MM2L_DQ45_H
AU14	MM3H_PVT2	AU31	DCOK_H	AU48	VSS
AV14	MM3H_VREF	AV31	CFG_MM0_H	AV48	MM2L_DQS5_P
AW14	VSS	AW31	CFG_MM1_H	AW48	MM2L_DQ43_H
AY14	MM3H_DQ49_H	AY31	VSS	AY48	VDDQ15
BA14	MM3H_DQ55_H	BA31	MM2H_DQ51_H	BA48	MM2L_DQ41_H
BB14	MM3H_DQ42_H	BB31	VSS	BB48	MM2L_BA0_H
BC14	MM3H_DQ44_H	BC31	VSS	BC48	VSS
BD14	VDDQ15	BD31	VSS	BD48	MM2L_ODT0_H
BE14	VSS	BE31	PCI1_VDDA	BE48	MM2L_CK0_P
BF14	MM3H_DQ36_H	BF31	VSS	BF48	VDDQ15
BG14	MM3H_DQ38_H	BG31	PCI1_TX7_P	BG48	MM2L_A6_H
BH14	MM3L_DQ13_H	BH31	PCI1_TX7_N	BH48	VSS
BJ14	MM3L_DQ9_H	BJ31	VSS	BJ48	MM2L_A12_H
BK14	VDDQ15	BK31	PCI1_RX7_P	BK48	MM2L_CKE0_H
BL14	VSS	BL31	PCI1_RX7_N	BL48	MM2L_RESET_L
A15	MM0L_DQ17_H	A32	VSS	A49	MM1L_CKE1_H
B15	MM0L_DQ21_H	B32	VSS	B49	MM1L_BA2_H

C15	VSS	C32	VSS	C49	VSS
D15	VSS	D32	VSS	D49	MM1L_A7_H
E15	MM0L_DQ0_H	E32	VSS	E49	MM1L_A8_H
F15	MM0L_DQ2_H	F32	VSS	F49	VSS
G15	MM0L_DQ4_H	G32	VSS	G49	MM1L_CK0_N
H15	MM0H_DQ47_H	H32	VSS	H49	MM1L_A1_H
J15	VSS	J32	MM1H_DQ60_H	J49	VSS
K15	VSS	K32	MM1H_DQ56_H	K49	MM1L_BA1_H
L15	MM0H_DQS6_P	L32	MM1H_DQ52_H	L49	MM1L_DQ40_H
M15	MM0H_DQS6_N	M32	VSS	M49	VSS
N15	MM0H_VDDQA2	N32	MISO_H	N49	MM1L_DQ42_H
P15	MM0H_VSSQA2	P32	MOSI_H	P49	MM1L_DQS5_N
R15	VSS	R32	MT_CLK_H	R49	VSS
T15	VDDQ15	T32	VDDQ15	T49	MM1L_DQ44_H
U15	VDDQ15	U32	VSS	U49	MM1L_DQ46_H
V15	VSS	V32	VDD	V49	VSS
W15	VSS	W32	VSS	W49	MM1L_DQ56_H
Y15	VDDQ15	Y32	VDD	Y49	MM1L_DQ58_H
AA15	VDDQ15	AA32	VSS	AA49	VSS
AB15	VSS	AB32	VDD	AB49	MM1L_DQS7_N
AC15	VSS	AC32	VSS	AC49	MM1L_DQ60_H
AD15	VSS	AD32	VDD	AD49	VSS
AE15	VDDQ15	AE32	VSS	AE49	MM1L_DQ62_H
AF15	VSS	AF32	VDD	AF49	VDDQ15
AG15	VDDQ15	AG32	VSS	AG49	MM2L_DQ62_H
AH15	VSS	AH32	VDD	AH49	VSS
AJ15	VSS	AJ32	VSS	AJ49	MM2L_DQ60_H
AK15	VSS	AK32	VDD	AK49	MM2L_DQS7_N
AL15	VDDQ15	AL32	VSS	AL49	VSS
AM15	VDDQ15	AM32	VDD	AM49	MM2L_DQ58_H
AN15	VSS	AN32	VSS	AN49	MM2L_DQ56_H

AP15	VSS	AP32	VDD	AP49	VSS
AR15	VDDQ15	AR32	VSS	AR49	MM2L_DQ46_H
AT15	VDDQ15	AT32	VDDQ15	AT49	MM2L_DQ44_H
AU15	VSS	AU32	CFG_MM2_H	AU49	VSS
AV15	MM3H_VSSQA2	AV32	CFG_CORE0_H	AV49	MM2L_DQS5_N
AW15	MM3H_VDDQA2	AW32	CFG_CORE1_H	AW49	MM2L_DQ42_H
AY15	MM3H_DQS6_N	AY32	VSS	AY49	VSS
BA15	MM3H_DQS6_P	BA32	MM2H_DQ52_H	BA49	MM2L_DQ40_H
BB15	VSS	BB32	MM2H_DQ56_H	BB49	MM2L_BA1_H
BC15	VSS	BC32	MM2H_DQ60_H	BC49	VSS
BD15	MM3H_DQ47_H	BD32	VSS	BD49	MM2L_A1_H
BE15	MM3L_DQ4_H	BE32	VSS	BE49	MM2L_CK0_N
BF15	MM3L_DQ2_H	BF32	VSS	BF49	VSS
BG15	MM3L_DQ0_H	BG32	VSS	BG49	MM2L_A8_H
BH15	VSS	BH32	VSS	BH49	MM2L_A7_H
BJ15	VSS	BJ32	VSS	BJ49	VSS
BK15	MM3L_DQ21_H	BK32	VSS	BK49	MM2L_BA2_H
BL15	MM3L_DQ17_H	BL32	VSS	BL49	MM2L_CKE1_H
A16	MM0L_DQS2_N	A33	MM1L_DQ19_H	A50	VSS
B16	MM0L_DQS2_P	B33	MM1L_DQ23_H	B50	VDDQ15
C16	MM0L_DQS1_N	C33	MM1L_DQ11_H	C50	MM1L_A14_H
D16	MM0L_DQS1_P	D33	MM1L_DQ15_H	D50	MM1L_A9_H
E16	VSS	E33	VSS	E50	VSS
F16	VDDQ15	F33	VSS	F50	MM1L_A3_H
G16	MM0L_DQ5_H	G33	MM1L_DQ7_H	G50	MM1L_CK1_P
H16	MM0H_DQ46_H	H33	MM1H_DQS7_N	H50	VDDQ15
J16	MM0H_DQ63_H	J33	MM1H_DQ61_H	J50	MM1L_A0_H
K16	MM0H_DQ59_H	K33	MM1H_DQ57_H	K50	MM1L_A10_H
L16	VSS	L33	VSS	L50	VSS
M16	VDDQ15	M33	VSS	M50	MM1L_DQ33_H
N16	MM0H_VDDQA1	N33	VSS	N50	MM1L_DQ35_H

P16	MM0H_VSSQA1	P33	VSS	P50	VDDQ15
R16	MM0H_PVT1	R33	VSS	R50	MM1L_DQS4_P
T16	VDDQ15	T33	VSS	T50	MM1L_DQ37_H
U16	VSS	U33	VDD	U50	VSS
V16	VDD	V33	VSS	V50	MM1L_DQ39_H
W16	VSS	W33	VDD	W50	MM1L_DQ49_H
Y16	VDD	Y33	VSS	Y50	VDDQ15
AA16	VSS	AA33	VDD	AA50	MM1L_DQ51_H
AB16	VDD	AB33	VSS	AB50	MM1L_DQS6_P
AC16	VSS	AC33	VDD	AC50	VSS
AD16	VDD	AD33	VSS	AD50	MM1L_DQ53_H
AE16	VSS	AE33	VDD	AE50	MM1L_DQ55_H
AF16	VDD	AF33	VSS	AF50	VDDQ15
AG16	VSS	AG33	VDD	AG50	MM2L_DQ55_H
AH16	VDD	AH33	VSS	AH50	MM2L_DQ53_H
AJ16	VSS	AJ33	VDD	AJ50	VSS
AK16	VDD	AK33	VSS	AK50	MM2L_DQS6_P
AL16	VSS	AL33	VDD	AL50	MM2L_DQ51_H
AM16	VDD	AM33	VSS	AM50	VDDQ15
AN16	VSS	AN33	VDD	AN50	MM2L_DQ49_H
AP16	VDD	AP33	VSS	AP50	MM2L_DQ39_H
AR16	VSS	AR33	VDD	AR50	VSS
AT16	VDDQ15	AT33	VSS	AT50	MM2L_DQ37_H
AU16	MM3H_PVT1	AU33	CFG_CORE2_H	AU50	MM2L_DQS4_P
AV16	MM3H_VSSQA1	AV33	CFG_CORE3_H	AV50	VDDQ15
AW16	MM3H_VDDQA1	AW33	FN	AW50	MM2L_DQ35_H
AY16	VDDQ15	AY33	VSS	AY50	MM2L_DQ33_H
BA16	VSS	BA33	VSS	BA50	VSS
BB16	MM3H_DQ59_H	BB33	MM2H_DQ57_H	BB50	MM2L_A10_H
BC16	MM3H_DQ63_H	BC33	MM2H_DQ61_H	BC50	MM2L_A0_H
BD16	MM3H_DQ46_H	BD33	MM2H_DQS7_N	BD50	VDDQ15

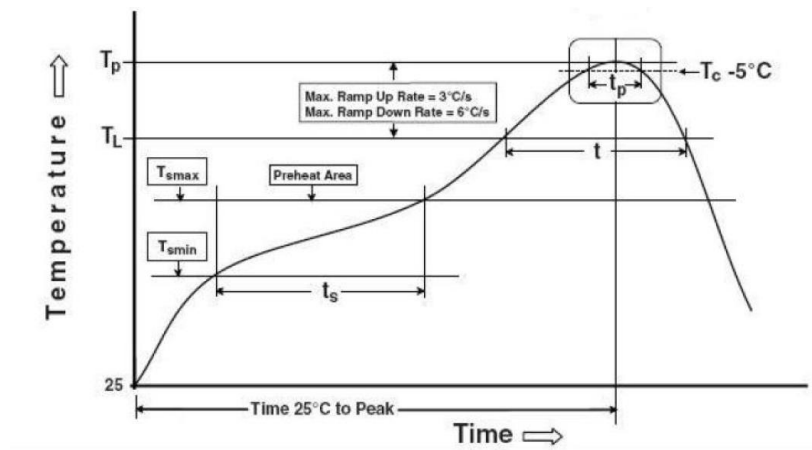
BE16	MM3L_DQ5_H	BE33	MM2L_DQ7_H	BE50	MM2L_CK1_P
BF16	VDDQ15	BF33	VSS	BF50	MM2L_A3_H
BG16	VSS	BG33	VSS	BG50	VSS
BH16	MM3L_DQS1_P	BH33	MM2L_DQ15_H	BH50	MM2L_A9_H
BJ16	MM3L_DQS1_N	BJ33	MM2L_DQ11_H	BJ50	MM2L_A14_H
BK16	MM3L_DQS2_P	BK33	MM2L_DQ23_H	BK50	VDDQ15
BL16	MM3L_DQS2_N	BL33	MM2L_DQ19_H	BL50	VSS
A17	VSS	A34	MM1L_DQ18_H	A51	---
B17	VSS	B34	MM1L_DQ22_H	B51	VSS
C17	MM0L_DQ10_H	C34	VSS	C51	MM1L_A15_H
D17	MM0L_DQ14_H	D34	VDDQ15	D51	MM1L_A11_H
E17	MM0L_DQS0_N	E34	MM1L_DQ1_H	E51	VSS
F17	MM0L_DQS0_P	F34	MM1L_DQ3_H	F51	MM1L_A4_H
G17	VSS	G34	MM1L_DQ6_H	G51	MM1L_CK1_N
H17	VSS	H34	MM1H_DQS7_P	H51	VSS
J17	MM0H_DQ62_H	J34	VSS	J51	MM1L_A2_H
K17	MM0H_DQ58_H	K34	VDDQ15	K51	MM1L_A5_H
L17	MM0H_DQ54_H	L34	MM1H_DQ53_H	L51	VSS
M17	MM0H_DQ48_H	M34	VSS	M51	MM1L_DQ32_H
N17	MM0H_VDDQA0	N34	VSS	N51	MM1L_DQ34_H
P17	MM0H_VSSQA0	P34	VSS	P51	VSS
R17	MM0H_PVT0	R34	VSS	R51	MM1L_DQS4_N
T17	VSS	T34	VDDQ15	T51	MM1L_DQ36_H
U17	VDD	U34	VSS	U51	VSS
V17	VSS	V34	VDD	V51	MM1L_DQ38_H
W17	VDD	W34	VSS	W51	MM1L_DQ48_H
Y17	VSS	Y34	VDD	Y51	VSS
AA17	VDD	AA34	VSS	AA51	MM1L_DQ50_H
AB17	VSS	AB34	VDD	AB51	MM1L_DQS6_N
AC17	VDD	AC34	VSS	AC51	VSS
AD17	VSS	AD34	VDD	AD51	MM1L_DQ52_H

AE17	VDD	AE34	VSS	AE51	MM1L_DQ54_H
AF17	VSS	AF34	VDD	AF51	VDDQ15
AG17	VDD	AG34	VSS	AG51	MM2L_DQ54_H
AH17	VSS	AH34	VDD	AH51	MM2L_DQ52_H
AJ17	VDD	AJ34	VSS	AJ51	VSS
AK17	VSS	AK34	VDD	AK51	MM2L_DQS6_N
AL17	VDD	AL34	VSS	AL51	MM2L_DQ50_H
AM17	VSS	AM34	VDD	AM51	VSS
AN17	VDD	AN34	VSS	AN51	MM2L_DQ48_H
AP17	VSS	AP34	VDD	AP51	MM2L_DQ38_H
AR17	VDD	AR34	VSS	AR51	VSS
AT17	VSS	AT34	VDDQ15	AT51	MM2L_DQ36_H
AU17	MM3H_PVT0	AU34	VSS	AU51	MM2L_DQS4_N
AV17	MM3H_VSSQA0	AV34	VSS	AV51	VSS
AW17	MM3H_VDDQA0	AW34	VSS	AW51	MM2L_DQ34_H
AY17	MM3H_DQ48_H	AY34	VSS	AY51	MM2L_DQ32_H
BA17	MM3H_DQ54_H	BA34	MM2H_DQ53_H	BA51	VSS
BB17	MM3H_DQ58_H	BB34	VDDQ15	BB51	MM2L_A5_H
BC17	MM3H_DQ62_H	BC34	VSS	BC51	MM2L_A2_H
BD17	VSS	BD34	MM2H_DQS7_P	BD51	VSS
BE17	VSS	BE34	MM2L_DQ6_H	BE51	MM2L_CK1_N
BF17	MM3L_DQS0_P	BF34	MM2L_DQ3_H	BF51	MM2L_A4_H
BG17	MM3L_DQS0_N	BG34	MM2L_DQ1_H	BG51	VSS
BH17	MM3L_DQ14_H	BH34	VDDQ15	BH51	MM2L_A11_H
BJ17	MM3L_DQ10_H	BJ34	VSS	BJ51	MM2L_A15_H
BK17	VSS	BK34	MM2L_DQ22_H	BK51	VSS
BL17	VSS	BL34	MM2L_DQ18_H	BL51	---

注：名称为“SPARE*H”的引脚为空引脚。在使用申威 1621 处理器时，应保持这些引脚悬空，不连接任何信号。

2.3 焊接说明

申威 1621 处理器芯片的焊接要求如图 2-5 所示。



Reflow Profile	T_{Smin}	T_{Smax}	t_s	T_L	t (time above T_L)	Max. T_P	t_p	Time to T_P
Std. Sn-Pb	100°C	150°C	60-120s	183°C	60-150s	220-235°C	10-20s	4-6min

图 2-5: 焊接曲线

3 电地及特殊信号接口

3.1 电地引脚列表

FCBGA 封装电地引脚如表 3-1 所示。

表 3-1: FCBGA 封装电地引脚列表

引脚名称	位宽	I/O	引脚类型	描述
VSS	884	—	地	地。
VDD	199	—	电源	内核电源。
VDDQ15	216	—	电源	DDR3 存储器接口 1.5V I/O 电源。
MM[3:0][L/H]_VDDQA[2:0]	24	—	模拟电源	DDR3 存储器接口 1.8V 模拟电源。
MM[3:0][L/H]_VSSQA[2:0]	24	—	模拟地	DDR3 存储器接口 1.8V 模拟地。
PCI[1:0]_VDDQA	8	—	模拟电源	PCI-E 接口 1.8V/1.5V 接口模拟电源。
PCI[1:0]_VDDA	8	—	模拟电源	PCI-E 接口 0.9V 核心模拟电源。
CLK_VDDA[2:0]	3	—	模拟电源	时钟接口 1.8V 模拟电源。
MT_VDDQ18	5	—	电源	GPIO/LVDS 1.8V 电源
CLK_VDDQ18	5	—	电源	GPIO/LVDS 1.8V 电源
总计	1376	—	—	—

3.1.1 数字电源地说明

申威 1621 处理器需要外部系统提供三种数字电源，分别是内核电源 VDD、存储器接口 I/O 电源 VDDQ15 和 GPIO 接口电源 VDDQ18。三种电源的电压范围见表 3-2。三种数字电源对应的数字地都是 VSS。

表 3-2: FCBGA 封装数字电源及其电压范围

电源类型	参数	最小值	正常值	最大值	单位	数量
VDD	内核电源电压 V_{core}	0.91	0.95	0.99	V	
VDDQ15	1.5V I/O 电源电压 V_{IO15}	1.425	1.5	1.575	V	
	1.35V I/O 电源电压	1.283	1.35	1.45	V	
MT_VDDQ18	1.8V I/O 电源电压 V_{IO18}	1.71	1.8	1.89	V	

CLK_VDDQ18						
------------	--	--	--	--	--	--

3.1.2 模拟电源地说明

申威 1621 处理器内部 PLL、存储器接口和 PCI-E 接口都需要外部提供模拟电源和模拟地，具体见表 3-3。

表 3-3: 申威 1621 处理器模拟电源引脚及其连接要求

电源类型	数量	说明	连接方式
MM[3:0][L/H]_VDDQA[2:0]	24	DDR3 存储器接口 1.8V 模拟电源。	每个引脚都必须分别通过图 3-1 所示的滤波器连接到数字电源 MT_VDDQ18 或 CLK_VDDQ18。
MM[3:0][L/H]_VSSQA[2:0]	24	DDR3 存储器接口 1.8V 模拟地。	在系统 PCB 上连接数字地 VSS。
PCI[1:0]_VDDQA	8	PCI-E 接口 1.8V/1.5V 接口模拟电源。	每个引脚都必须分别通过图 3-1 所示的滤波器连接到数字电源 MT_VDDQ18 或 CLK_VDDQ18。
PCI[1:0]_VDDA	8	PCI-E 接口 0.9V 核心模拟电源。	每个引脚都必须分别通过图 3-1 所示的滤波器连接到数字电源 VDD。
CLK_VDDA[2:0]	3	时钟接口 1.8V 模拟电源。	每个引脚都必须分别通过图 3-1 所示的滤波器连接到数字电源 VDD。

注：PCI-E 接口两种模拟电源没有对应的模拟地，而是直接采用数字地 VSS 作为模拟地。

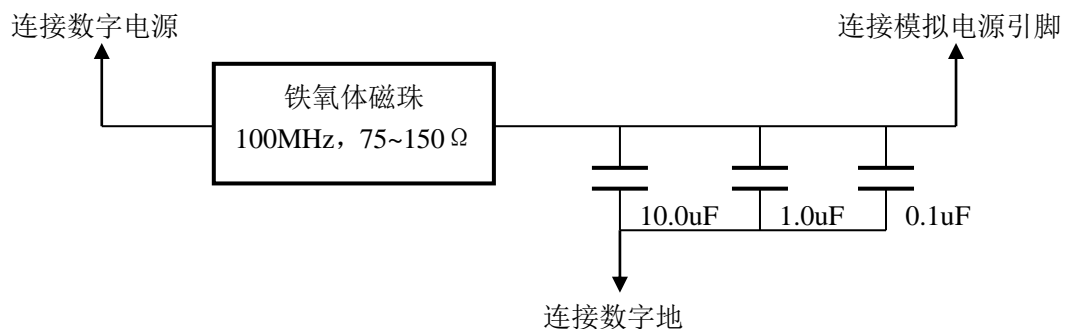


图 3-1: 连接模拟电源引脚的滤波器

3.2 温度传感器引脚列表

温度传感器引脚如表 3-7 所示。

表 3-6: 温度传感器引脚列表

引脚名称	位宽	I/O	引脚类型	描述
VDD33	1	—	电源	温度传感器的 3.3V 电源。
SCL	1	输入	Open-drain	I2C 标准时钟信号，需要外接上拉电阻。
SDA	1	双向	Open-drain	I2C 标准数据信号，需要外接上拉电阻。
EVENT	1	输出	Open-drain	温度报警信号，需要外接上拉电阻。
总计	4	—	—	—

3.3 空引脚列表

封装备份引脚如表 3-7 所示。

表 3-7: 空引脚列表

引脚名称	位宽	I/O	引脚类型	描述
SPARE*_H	6	—	空引脚	空引脚，保持此类引脚悬空，不连接任何信号。
FN	44	—	空引脚	
总计	50	—	—	—

4 时钟接口

4.1 引脚列表

申威 1621 处理器的时钟接口为内部 PLL 提供参考时钟。处理器内部集成了三个时钟锁相环 PLL，分别根据外部输入的参考时钟，产生内核时钟、存储控制器时钟（包括 DDR3 存储器接口时钟）和互连时钟。核心处于内核时钟域，存储器控制器接口处于存控时钟域，一致性处理部件和系统接口处理部件处于互连时钟域。时钟接口相关的引脚信号如表 4-1 所示。

维护接口有独立的时钟域，时钟由引脚 MT_CLK_H 直接输入。PCI-E 接口也有独立的时钟域，时钟由芯片引脚输入的参考时钟（PCI[1:0]_CLK_P/PCI[1:0]_CLK_N）通过 PCI-E 接口内的 PLL 产生。

表 4-1：时钟复位接口引脚信号

信号名称	位宽	I/O	引脚类型	描述
RCLK_P	1	输入	LVDS	LVDS 电平的差分参考时钟输入，典型工作频率为 200MHz，为 1.8V LVDS 电平信号。
RCLK_N	1			
共计	2			

4.2 工作模式

申威 1621 处理器的时钟接口存在两种工作模式，一种是正常工作模式，另一种为 PLL 旁路模式。旁路模式主要用于处理器的测试。

在正常工作模式下，输入参考时钟 RCLK 的频率典型值为 200MHz，通过内部三个独立的 PLL 以及时钟配置引脚 CFG_CORE[3:0]_H、CFG_MM[2:0]_H 和 CFG_XBX[2:0]_H 以及相应配置寄存器 INIT_CTL，分别产生核心时钟、存储器控制器时钟（包括 DDR3 存储器接口时钟）和互连时钟。PCI-E 接口时钟则是通过 PCI-E 接口输入参考时钟 PCI_CLK（频率固定为 100MHz）和 PCI-E 接口内部的 PLL 产生。为保证申威 1621 处理器正常工作，必须在各电源稳定、输入参考时钟稳定和相应配置引脚电平固定情况下，才能结束申威 1621 的复位（包含上电复位和冷复位），进入正常工作状态。

配置引脚 CFG_CORE[3:0]_H、CFG_MM[2:0]_H 或 CFG_XBX[2:0]_H 设置为“全零”，分别使得核心、存储控制器及 DDR3 存储器接口、互连时钟处于 PLL 旁路模式。此模式下，核心时钟频率与输入参考时钟 RCLK 频率相同。

5 存储器接口

5.1 概述

申威 1621 处理器内部集成了八个 DDR3 存储控制器，每个存储控制器对应 64 位数据宽度的 DDR3 存储器接口，该接口支持“64 位数据+8 位校验码”的 ECC 校验（可纠正单错、检测双错），最高数据传输率可达 1600Mbps，主要特点如下：

- 1) 支持 DDR3-800/1066/1333/1600Mbps 等数据传输速率；
- 2) 支持的存储器容量为 2、4、8、16GB 或 32GB；
- 3) 支持直接连接×8 和×16 位结构的 DDR3 SDRAM 存储器芯片，也支持连接单 Rank 或双 Rank 的 DDR3 UDIMM 或 RDIMM 存储器条；
- 4) 连接 DDR3 SDRAM 存储器芯片或 UDIMM 存储器条时，支持 1T 和 2T 模式；
- 5) 支持双 Rank DIMM 存储器条的地址镜像功能；
- 6) 支持对 RDIMM 存储器条的配置寄存器 RC（Register Control）访问；
- 7) 支持 JESD79-3A 标准定义的各种延迟参数动态调节功能；
- 8) 支持 DDR3 SDRAM 存储器芯片的浅睡眠（Precharge PowerDown）和深睡眠（Self Refresh）；
- 9) 支持对 DDR3 SDRAM 存储器芯片的模式寄存器 MR0~MR3 进行实时配置；
- 10) 支持突发长度为 8（BL8）的存储器读写访问；
- 11) 支持交错的 Wrap 地址访问方式；
- 12) 支持链路训练（Write Leveling）功能；
- 13) 支持读写通路的 DQS/DQ 延迟调节功能；
- 14) 支持环回测试（LoopBack）。

5.2 引脚列表

申威 1621 处理器的 DDR3 存储器接口引脚信号共 1051 根，均采用 SSTL（1.5V 或 1.35V）电平信号。具体如表 5-1 所示。

表 5-1: DDR3 存储器接口引脚信号

信号名称	位宽	I/O	引脚类型	描述
信号引脚				
MM[3:0][L/H]_RESET_L	1	输出	1.5V/1.35V	DDR3 存储器异步复位信号。

MM[3:0][L/H]_CK_P[1:0]	2	输出	SSTL	DDR3 存储器差分输入参考时钟。	
MM[3:0][L/H]_CK_N[1:0]	2	输出		对应每个 Rank 的时钟使能信号。	
MM[3:0][L/H]_CKE_H[1:0]	2	输出		对应每个 Rank 的内部端接使能信号。	
MM[3:0][L/H]_ODT_H[1:0]	2	输出		对应每个 Rank 的片选信号。	
MM[3:0][L/H]_CS_L[3:0]	4	输出		行地址 RAS#命令。	
MM[3:0][L/H]_RAS_L	1	输出		列地址 CAS#命令。	
MM[3:0][L/H]_CAS_L	1	输出		写 WE#命令。	
MM[3:0][L/H]_BA_H[2:0]	3	输出		存储器体 (Bank) 地址。	
MM[3:0][L/H]_A_H[15:0]	16	输出		存储器地址。	
MM[3:0][L/H]_PAR_IN	1	输出		校验位	
MM[3:0][L/H]_ERROUT_L	1	输入		校验错	
MM[3:0][L/H]_DQS_P[8:0]	9	双向		以字节为单位的差分读/写数据选通信号。其中[8]对应 ECC 所在 Datx8 (按 DIMM 插槽引脚命名规范), 但引脚位置在九个 Datx8 中间。	
MM[3:0][L/H]_DQS_N[8:0]	9	双向		读/写数据。	
MM[3:0][L/H]_DQ_H[63:0]	64	双向		读/写数据的 ECC 码。	
MM[3:0][L/H]_ECC_H[7:0]	8	双向			
总计	1016	—			
参考电压、PVT 补偿电阻和测试引脚					
MM[3:0][L/H]_VREF	1	—	参考电压	参考电压。	
MM[3:0][L/H]_PVT[2:0]	3	—	PVT 电阻	PVT 补偿电阻。	
MM_ATO	1	输出	1.5V/1.35V	ATO 引脚。	测试引脚, 可悬空。
MM_DTO[1:0]	2	输出	SSTL	DTO 引脚。	
总计	35	—			

注1: 申威1621处理器在连接DDR3 SDRAM存储器芯片或DDR3 DIMM存储器条时, 存储器芯片或存储器条的DM引脚应接地。

注2: MM[3:0][L/H]对应8路存控, 分别是0L、0H、1L、1H、2L、2H、3L和3H。

5.3 存储器接口配置

5.3.1 1T/2T 模式

DDR3 存储器接口工作在高负载和高频率条件下，为提高信号传输的可靠性，可以选择将存储器访问的地址与命令加长为两个周期，但片选信号仍维持一个时钟周期，即 2T 模式，以增加命令和地址的建立时间。可通过配置 IOR: CfgCR[2T]为“1”来使能 2T 模式。1T 和 2T 模式下的信号传输如图 5-1 和图 5-2 所示（图中以存储器接口 0 为例进行说明，且图中的命令是针对 Rank0）。

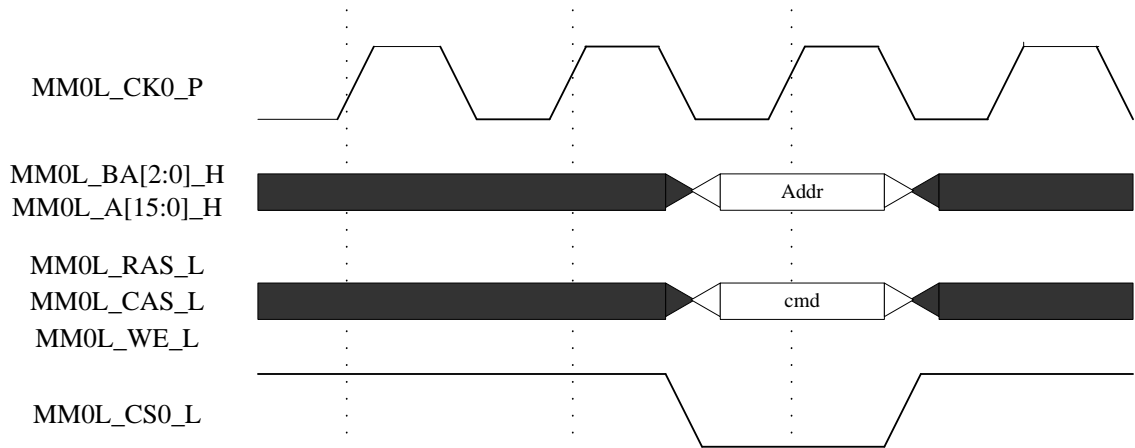


图 5-1: 1T 传输模式示意图

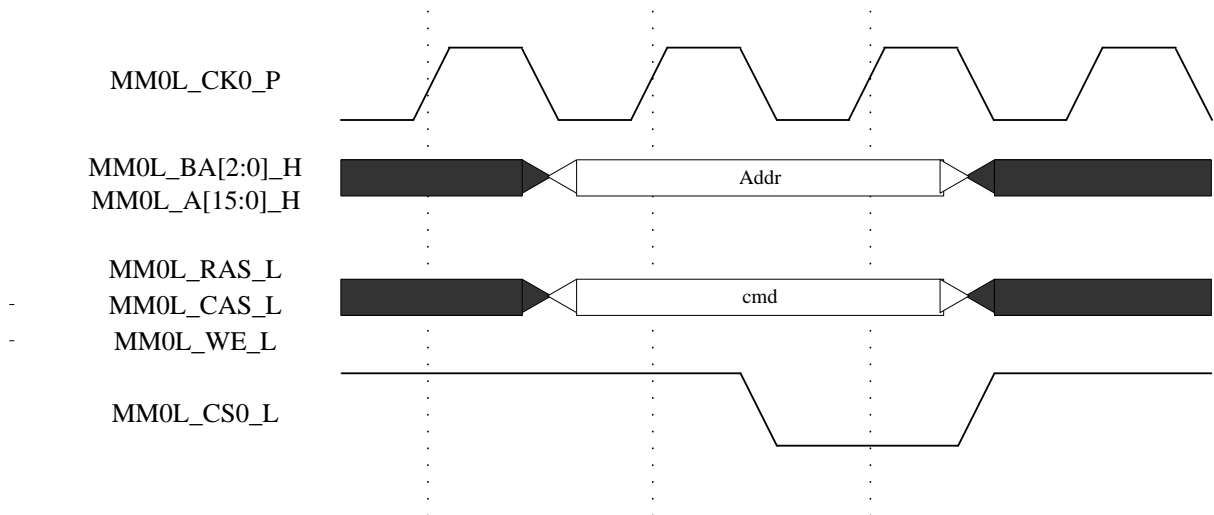


图 5-2: 2T 传输模式示意图

2T 传输模式可以增强 DDR3 存储器接口信号的完整性，但存储器访问命令之间的间隔增加，可能会降低存储器访问的性能。

5.3.2 地址镜像

采用地址镜像,可以缩短两个 Rank 的 DDR3 SDRAM 存储器芯片在 PCB 上双面贴装时 PCB 布线的长度,使得 PCB 上正面与反面贴装的 DDR3 SDRAM 存储器芯片使用不同排列顺序的地址、命令信号。申威 1621 处理器支持的地址镜像如表 5-3 所示,其它存储器接口信号则直接连接。可配置 CfgCR[AddressMirror]为“1”来使能地址镜像功能。

表 5-3: 地址镜像时存储器接口信号引脚连接方式

存储器接口信号引脚	连接的 DDR3 SDRAM 存储器芯片引脚	
	Rank 0	Rank 1
MM0L_A_H3	MM0L_A_H3	MM0L_A_H4
MM0L_A_H4	MM0L_A_H4	MM0L_A_H3
MM0L_A_H5	MM0L_A_H5	MM0L_A_H6
MM0L_A_H6	MM0L_A_H6	MM0L_A_H5
MM0L_A_H7	MM0L_A_H7	MM0L_A_H8
MM0L_A_H8	MM0L_A_H8	MM0L_A_H7
MM0L_BA_H0	MM0L_BA_H0	MM0L_BA_H1
MM0L_BA_H1	MM0L_BA_H1	MM0L_BA_H0

5.3.3 颗粒/内存类型

申威 1621 处理器支持的存储容量及颗粒类型如表 5-4:

表 5-4: 存储器接口支持的主存类型 (容量、Rank 数量、颗粒类型)

SDRAM 位宽	颗粒类型	颗粒容量	单 Rank 容量	双 Rank 容量	四 Rank 容量
64bit	x8	1Gb	1GB	2GB	4GB
		2Gb	2GB	4GB	8GB
		4Gb	4GB	8GB	16GB
		8Gb	8GB	16GB	32GB
	x16	1Gb	---	1GB	2GB
		2Gb	1GB	2GB	4GB
		4Gb	2GB	4GB	8GB
		8Gb	4GB	8GB	16GB

5.4 信号连接

5.4.1 选通信号

申威 1621 处理器存储器接口数据选通信号为差分的双向三态信号（MM0_DQS[8:0]_L、MM0L_DQS[8:0]_P，以存储器接口 0 为例），为避免噪声干扰，芯片内部采用带上/下拉电阻的 IO 单元(PDQSR_VSSQ)对 MM0_DQS[8:0]_P 进行下拉，对 MM0_DQS[8:0]_L 进行上拉。阻值在 344~688 欧姆之间，通过数据通用配置寄存器 DXCCR[DQSRES]控制 MM0_DQS[8:0]_P，通过数据通用配置寄存器 DXCCR[DQSNRES]控制 MM0_DQS[8:0]_L。

5.4.2 ECC 校验码

存储器接口数据宽度为 128 位，实际信号宽度为 144 位，其中 16 位为 ECC 校验位。为支持带 ECC 校验的 DDR3 DIMM 存储器条，推荐的连接方式如表 5-5 所示（表中 dqs[8:0]为 DIMM 存储器条的数据选通信号引脚，cb[7:0]为 DIMM 存储器条的 ECC 校验码引脚，dq[63:0]为 DIMM 存储器条的读写数据信号引脚）。

表 5-5：带 ECC 校验的 DDR3 DIMM 存储器条连接方式

存储器接口引脚信号	DIMM 存储器条引脚	连接说明
MM0_DQS[8]_P、MM0_DQS[8]_L	DIMM0.dqs[8]	8 位 ECC 校验位
MM0_ECC_H[7:0]	DIMM0.cb[7:0]	
MM0_DQS[7:0]_P、MM0_DQS[7:0]_L	DIMM0.dqs[7:0]	64 位数据
MM0_DQ_H[63:0]	DIMM0.dq[63:0]	

5.4.3 双内存模组连接方式

为了支持大容量内存的需求，针对每路存储器接口可采用双内存模组的方式，表5-6 给出了双内存模组插接方式。

表5-6：双内存模组插接方式说明

	DIMM0	DIMM1
配置1	单Rank UDIMM	单Rank UDIMM
配置2	双Rank UDIMM	双Rank UDIMM
配置3	单Rank UDIMM	无
配置4	双Rank UDIMM	无

配置5	单Rank RDIMM	单Rank RDIMM
配置6	双Rank RDIMM	双Rank RDIMM
配置7	单Rank RDIMM	无
配置8	双Rank RDIMM	无
配置 9	四 Rank RDIMM	Disable

5.5 初始化

申威 1621 处理器在上电复位和冷复位结束后,需要先根据系统中所使用的 DDR3 SDRAM 存储器或 DDR3 DIMM 存储器条类型,通过维护接口或初始化程序配置存储控制器中对应的 I/O 寄存器,然后配置 DDR3 PHY 内的 IO 寄存器,启动 DDR3 存储器接口进行初始化。

申威 1621 处理器的存储器接口在初始化结束之后,需要进行存储器接口链路训练(Data Training),链路训练是对存储器接口的数据总线以 8 位为单位与对应的差分数据选通信号(DQS)进行校准、字节内部逐位对齐的过程,通过链路训练可以提高存储器接口输出信号的完整性,提高抗干扰能力。处理器内部的四个核心共享一路存储器接口,可以选择任何一个核心在初始化加载程序运行时进行链路训练。

5.6 测试

申威 1621 处理器的存储器接口支持环回测试,主要用于测试内部存储控制器的读写数据通路是否正常。测试时,设置相应的 I/O 寄存器,配置具体的环回测试模式和数据模式,启动测试,读相应的 I/O 寄存器判断环回测试是否成功。

6 PCI-E 接口

6.1 概述

申威 1621 处理器集成了两个符合 3.0 标准的 PCI-E 接口。每个接口都具备极性翻转、通道反转、链路自协商等特性，所有符合 PCI-E 标准的设备均可与处理器的 PCI-E 接口连接。该接口作为根端口（Root Complex），同时支持 256 个 MSI-X 类型中断及 4 个 INTx 中断，兼容 32 位和 64 位 PCI-E 地址空间的访问，单向差分链路传输速率可达 8Gbps，8 条链路并行传输的双向有效带宽可达到 16GB/s。

6.2 引脚列表

申威 1621 处理器的 PCI-E 接口采用 LVDS 电平，接口信号共有 70 根，其中 36 根输入信号、32 根输出信号以及 2 根双向引脚，具体如表 6-1 所示。

表 6-1: PCI-E 接口引脚信号

信号名称	位宽	I/O	引脚类型	描述
PCI[1:0]_TX_P[7:0]	16	输出	LVDS	差分输出的 8 对数据信号。
PCI[1:0]_TX_N[7:0]	16			
PCI[1:0]_RX_P[7:0]	16	输入	LVDS	差分输入的 8 对数据信号。
PCI[1:0]_RX_N[7:0]	16			
PCI[1:0]_CLK_P	2	输入	LVDS	差分输入时钟信号,正常工作频率为 100MHz。
PCI[1:0]_CLK_N	2			
PCI[1:0]_RESREF	2	—	参考电阻	参考电阻; 每个 PCI-E 接口共用一根; 连接 200Ω±1% 的高精度电阻, 电阻另一端接数字地 VSS。
总计	70			

注: PCI[1:0]对应 2 路 PCIe。

6.3 信号连接

申威 1621 处理器集成符合 3.0 标准的 PCI-E 接口，该接口作为根端口（Root Complex），可以连接 Endpoint、SWICTH、PCI-E TO PCI/PCI-X Bridge 等类型的 PCI-E 设备，连接示意图如图 6-1

所示（以一个 PCI-E 接口为例）。

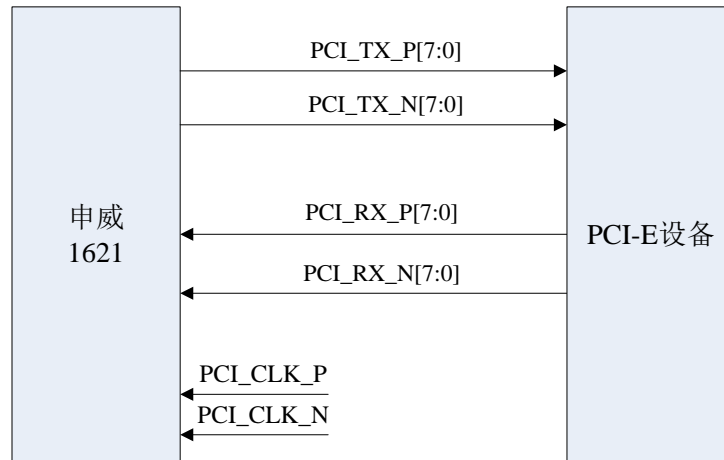


图 6-1: PCI-E 接口信号连接示意图

每个 PCI-E 接口包含 8 条通道（单通道带宽 5Gbps），可以支持单链路连接和 4 链路连接。同时 PCI-E 接口向下兼容 1.0 标准（单通道带宽 2.5Gbps），可以连接支持 1.0 标准的 PCI-E 设备。

6.4 初始化

申威 1621 处理器可以连接标准的 PCI-E 端点（EP）或路由（SWITCH）设备。在差分引脚（PCI[1:0]_CLK_P/PCI[1:0]_CLK_N）输入 100MHz 的参考时钟稳定后，结束对处理器的上电复位和冷复位，处理器通过 PCI-E 接口开始检测连接的 PCI-E 设备，并自动与连接的设备交互 TS 序列，协商链路宽度与速度。可通过读取 PCI-E 接口内部的“RC Debug 信息寄存器”，判断链路建立是否成功。

软件检测到链路协商成功之后，还需对 PCI-E 接口进行一些初始化配置，主要流程如下：

- 1) 进行 PCI 兼容性配置，如打开 I/O 空间、存储器空间和总线的使能等；
- 2) 配置设备的工作模式，如请求最大负载（Max_Payload_Size），保序模式等；
- 3) 配置中断相关寄存器，以保证 PCI-E 接口产生的 MSI 以及 INTx 中断能正确产生与传递。

6.5 测试

申威 1621 处理器的 PCI-E 接口支持低频模式测试。

设置维护接口 IOR: PCIE_x_CLK_SEL_x，可以使 PCI-E 接口工作在维护时钟频率下，此时可以通过维护接口访问 PCI-E 接口内部 I/O 寄存器，判断低频模式下基本的 I/O 寄存器访问通路是否正确。

7 维护、中断和配置接口

7.1 维护接口

7.1.1 概述

申威 1621 处理器的维护接口实现复位、初始化加载和调试支持以及运行监测等功能，一部分功能是通过维护接口的引脚信号直接实现，其它则是通过维护接口支持的维护命令来实现。维护接口的功能和特点如下：

- 1) 实现对处理器的复位和初始化加载；
- 2) 支持处理器的运行状态监测及错误报告；
- 3) 支持读写处理器连接的存储器和内部各部件的 I/O 寄存器；
- 4) 支持对处理器各核心上运行程序的单步调试、断点调试等调试支持功能；
- 5) 支持对处理器各核心、存储控制器的断连，支持核心的睡眠和唤醒。

7.1.2 引脚列表

申威 1621 处理器的维护接口有 18 根引脚信号，均为 1.8V LVCMOS 电平，具体如表 7-1 所示。

表 7-1：维护接口引脚信号

引脚名称	位宽	I/O	引脚类型	描述
MT_CLK_H	1	输入	1.8V LVCMOS	维护时钟输入，频率为 5~25MHz。
DCOK_H	1	输入	1.8V LVCMOS	电源就绪，低电平时作为上电复位。
RESET_L	1	输入	1.8V LVCMOS	冷复位，低电平有效。
MT_TX_H	1	输出	1.8V LVCMOS	维护接口串行输出数据，同步于 MT_CLK_H，在时钟的下降沿输出。
MT_RX_H	1	输入	1.8V LVCMOS	维护接口串行输入数据，同步于 MT_CLK_H，在时钟的上升沿接收。
STAT_OUT_L [4:0]	5	输出	1.8V	芯片测试输出。

			LVC MOS	
STAT_OUT_SEL_L [1:0]	2	输入	1.8V LVC MOS	芯片测试输出选择。
SS_L	1	输出	1.8V LVC MOS	选择信号，低有效。
SCK_H	1	输出	1.8V LVC MOS	时钟信号，频率与维护输入时钟相同。
MOSI_H	1	输入	1.8V LVC MOS	SPI 接口串行移入。
MISO_H	1	输出	1.8V LVC MOS	SPI 接口串行移出。
SCL_M_H	1	双向	1.8V LVC MOS	I2C 时钟线。
SDA_M_H	1	双向	1.8V LVC MOS	I2C 数据线。
总计	18	—	—	—

其中，STAT_OUT_L[4:0]为维护接口的状态输出信号，其输出受 STAT_OUT_SEL_L[1:0]的控制。具体含义如表 7-2 所示：

表 7-2: STAT_OUT_L[4:0]具体定义

STAT_OUT_SEL_L	域	STAT_OUT_L[4:0]输出含义
2'b00	—	保留
2'b01	—	保留
2'b10	[4]	自定义串口维护命令错标志， 低电平有效 。
	[3:0]	维护主状态机状态（在维护时钟的下降沿输出），具体如下： 4'b0000 DCOKRST 表示上电复位状态（等待 DCOK_H 有效）； 4'b0001 COLDRST 表示冷复位状态（等待 RESET_L 无效）； 4'b0010 CONFIG1 表示配置 1 状态（MCU 配置）； 4'b0011 WAITPLL 表示 PLL 升频状态； 4'b0100 WAITUPCLK 表示时钟切换 1 状态； 4'b0101 SOCRSTEND 表示结束复位状态； 4'b0110 CONFIG2 表示配置 2 状态（存储器自测试配置）； 4'b0111 MEMBIST 表示存储器自测试状态；

		4'b1000 CONFIG3 表示配置 3 状态（其它接口配置）； 4'b1001 SROMLD 表示初始化程序加载状态； 4'b1010 STARTRUN 表示启动运行状态； 4'b1011 RUN 表示运行状态； 4'b110x ENTERRST 表示进入复位状态； 4'b111x WAITDOWNCLK 表示时钟切换 2 状态。
2'b11	[4]	芯片总错标志（包括维护接口错）， 低电平有效 。
	[3]	中断完成标志， 低电平有效 。
	[2]	存储器自测试完成， 低电平有效 。
	[1:0]	存储器自测试结果，含义如下： 2'b00，表示测试无错； 2'b01，表示有错可修复； 2'b10，表示有错不可修复； 2'b11，表示测试时间超时。

7.1.3 维护功能

7.1.3.1 维护串口

引脚信号 MT_TX_H 和 MT_RX_H 组成一对同步的串行接口，同步于维护时钟 MT_CLK_H，称之为维护串口。外部系统可通过 MT_RX_H 向申威 1621 处理器发送维护命令，并从 MT_TX_H 回收维护命令处理的维护响应。维护命令只能串行处理，维护命令都遵循发送、处理和返回响应的串行处理流程，外部系统必须在收到前一个维护命令返回的响应后，才能发出新的维护命令。串行输入的维护命令以数据包格式传输，称之为维护命令包。串行输出的维护响应也以数据包格式传输，称之为维护响应包。维护命令包和维护响应包都由若干字节组成，字节数与具体的命令和响应类型相关。具体可参见附录 A。

维护命令中包含维护中断，用于外部系统向申威 1621 处理器内部的核心发送各种维护中断，以实现更多的维护功能，包括对核心上运行程序的调试支持。

7.1.3.2 主要功能

故障监测

申威 1621 处理器内部主要的数据通路和存储器阵列都设置了校验,基本实现了数据传输的连续校验。当发现不可纠正的错误,或可纠正的错误达到一定数量时,维护接口会通过总错(STAT_OUT_L 引脚)变为低电平来通知外部系统,此时外部系统可以通过 I/O 寄存器读维护命令来获得故障的详细信息,进行故障分析、诊断,协助进行系统错误处理和容错。

调试支持

申威 1621 处理器的维护接口支持系统的软硬件调试,一方面,通过维护命令可以直接读出内部 I/O 寄存器以及连接的主存储器中的信息;另一方面,通过维护命令可以向内部某个核心发出维护中断,实现更为复杂的维护功能,如设置和清除断点、进行单步调试和断点调试。

7.2 配置接口

7.2.1 引脚列表

申威 1621 处理器的配置接口有 17 根输入引脚信号,均为 1.8V LVCMOS 电平,具体如表 7-4 所示。

表 7-4: 配置接口引脚信号

信号名称	位宽	I/O	引脚类型	描述
CFG_CORE_H[3:0]	4	输入	1.8V LVCMOS	核心时钟 PLL 配置。
CFG_MM_H[2:0]	3	输入		存储器接口时钟 PLL 配置。
CFG_XBX_H[2:0]	3	输入		互连时钟 PLL 配置。
INIT_MODE_H[1:0]	2	输入		初始化模式。应设置值为“11”,其它设置值用于处理器的测试。
CFG_SEL_H[1:0]	2	输入		芯片配置说明。 “2'b00”: 采用引脚配置方式,根据时钟控制引脚和初始化模式引脚来设置初始

			<p>化寄存器 INT_CTL，并可以通过维护命令进行配置修改。</p> <p>“2'b01”：采用寄存器默认值配置方式，即配置引脚无效，采用寄存器缺省值，并可以通过维护命令进行配置修改。</p> <p>“2'b1x”：芯片自启动方式，即自动读取 SPI Flash 获得配置参数及初始引导程序。</p>
CHIP_MODE_H[2:0]	3	输入	<p>芯片应用模式选择。</p> <p>3'b0xx：四核模式。强制关闭核组 1、核组 2 和核组 3（包括核心与对应的 DDR3 主存接口和三级 Cache）</p> <p>3'b100：八核经济模式。强制关闭核组 2 和核组 3（包括核心与对应的 DDR3 主存接口和三级 Cache）以及核组 0 和核组 1 的 DDR3 主存接口 1；</p> <p>3'b101：八核模式。强制关闭核组 2 和核组 3（包括核心与对应的 DDR3 主存接口和三级 Cache）。</p> <p>3'b110：16 核经济模式。强制关闭每个核组的 DDR3 主存接口 1；</p> <p>3'b111：16 核全功能模式。</p>
共计	17		

7.2.2 初始化配置

申威 1621 处理器分为初始化模式：

- 1) 芯片自引导模式（推荐模式）。此时 CFG_SEL_H[1:0]配置为 2'b1x，此时芯片启动读取 Flash 的配置信息加载、存储器自测试和 ICache 加载程序，并启动运行（第九章）。

- 2) 交互配置方式（兼容老版本）。此时通过维护接口或 JTAG 接口配置内部寄存器，完成配置信息加载和 ICache 加载程序，并最终启动运行（第九章）。

7.2.3 时钟配置

1) 核心时钟配置：根据参考时钟输入引脚（RCLK）的时钟频率和核心时钟配置引脚 CFG_CORE [3:0]_H 或者维护配置寄存器 INIT_CTL[CORE_FREQ]，通过核心 PLL 产生核心时钟。核心时钟配置引脚的具体定义如表 7-5 所示。

表 7-5：核心时钟配置表

CFG_CORE_H[3:0]	核心时钟工作频率 (MHz)
0	旁路 (200MHz)
1	800
2	1000
3	1200
4	1400
5	1500
6	1600
7	1700
8	1750
9	1800
10	1850
11	1900
12	1950
13	2000
14	2050
15	2100

2) 存储控制器时钟配置：根据参考时钟输入引脚（RCLK）和存储器接口配置引脚 CFG_MM [2:0]_H 或者维护寄存器 INIT_CTL[MM_FREQ]，通过存控 PLL 产生存控时钟。存储控制器时钟配置引脚的具体定义如表 7-6 所示。

表 7-6：存储控制器时钟配置表

CFG_MM_H[2:0]	存控时钟频率 (MHz)
0	旁路 (200MHz)

1	266
2	300
3	333
4	366
5	400
6	433
7	466

3) 互连时钟配置：根据参考时钟输入引脚 (RCLK) 的时钟频率和互连时钟配置引脚 CFG_XBX [3:0]_H 或者维护寄存器 INIT_CTL[XBX_FREQ]，通过互联 PLL 产生互连时钟。互连时钟配置引脚的具体定义如表 7-7 所示。

表 7-7: 互连时钟配置表

CFG_XBX_H[2:0]	互连时钟工作频率 (MHz)
0	旁路 (200MHz)
1	800
2	1000
3	1050
4	1150
5	1250
6	1300
7	1333

7.3 中断接口

申威 1621 处理器的中断接口有 2 根输入引脚信号，均为 1.8V LVCMOS 电平，具体如表 7-8 所示。

表 7-8: 中断接口引脚信号

信号名称	位宽	I/O	引脚类型	描述
WAKEUP_L	1	输入	1.8V LVCMOS	唤醒中断，默认低电平有效（有效方式可通过维护寄存器进行配置）。唤醒中断引

				脚的使用说明见表 7-4。
NMI_L	1	输入		不可屏蔽中断，默认低电平有效（有效方式可通过维护寄存器进行配置）。不可屏蔽中断引脚的使用说明见表 7-4。

中断引脚的使用说明如表 7-9 所示。

表 7-9: 中断引脚使用说明

中断类型	配置寄存器	备注
WAKEUP_L	<p>WAKEUP_CTL[MASK_EN]作为唤醒中断使能，该位为“1”表示使能唤醒中断。</p> <p>WAKEUP_CTL[TYPE_SEL]作为有效类型选择，该位为“0”表示低电平有效，该位为“1”表示高电平有效。</p>	为防止抖动，有效电平（高电平或低电平）要至少维持 16 个维护时钟周期。
NMI_L	<p>WAKEUP_CTL[MASK_EN]作为不可屏蔽中断使能，该位为“1”表示使能不可屏蔽中断。</p> <p>WAKEUP_CTL[NMI_CTL]作为有效类型选择：</p> <p>2`b00: 表示上升沿有效；</p> <p>2`b01: 表示下降沿有效；</p> <p>2`b10: 表示高电平有效；</p> <p>2`b11: 表示低电平有效。</p>	为防止抖动，有效电平（高电平或低电平）要至少维持 16 个维护时钟周期。

8 调试测试接口

8.1 概述

申威 1621 处理器的调试测试接口由符合 IEEE1149.1 标准的 JTAG 测试信号组成，工作频率为 5~10MHz，具体功能包括：

- 1) 支持边界扫描测试；
- 2) 支持维护调试操作。

8.2 引脚列表

申威 1621 处理器的测试接口有 7 根接口信号，其中 6 根输入信号，1 根输出信号，均为 1.8V LVC MOS 电平，具体如表 8-1 所示。

表 8-1: 测试接口信号

信号名称	位宽	I/O	引脚类型	描述
TCK_H	1	输入	1.8V LVC MOS	测试时钟。
TMS_H	1	输入		测试模式选择。
TRST_L	1	输入		测试复位。
TDI_H	1	输入		测试数据输入。
TDO_H	1	输出		测试数据输出。
SEL_TAP_L[1:0]	2	输入		TAP 控制器配置。 2'b00: 表示使用 PCI-E0 的 TAP; 2'b01: 表示使用 PCI-E1 的 TAP; 2'b10: 保留; 2'b11: 表示使用 TBOX 的 TAP。
共计	7			

8.3 TAP 控制器

申威 1621 处理器测试接口设置有符合 IEEE1149.1 标准的 TAP 控制器，用于测试接口的控制。该 TAP 控制器的状态转换如图 8-1 所示。

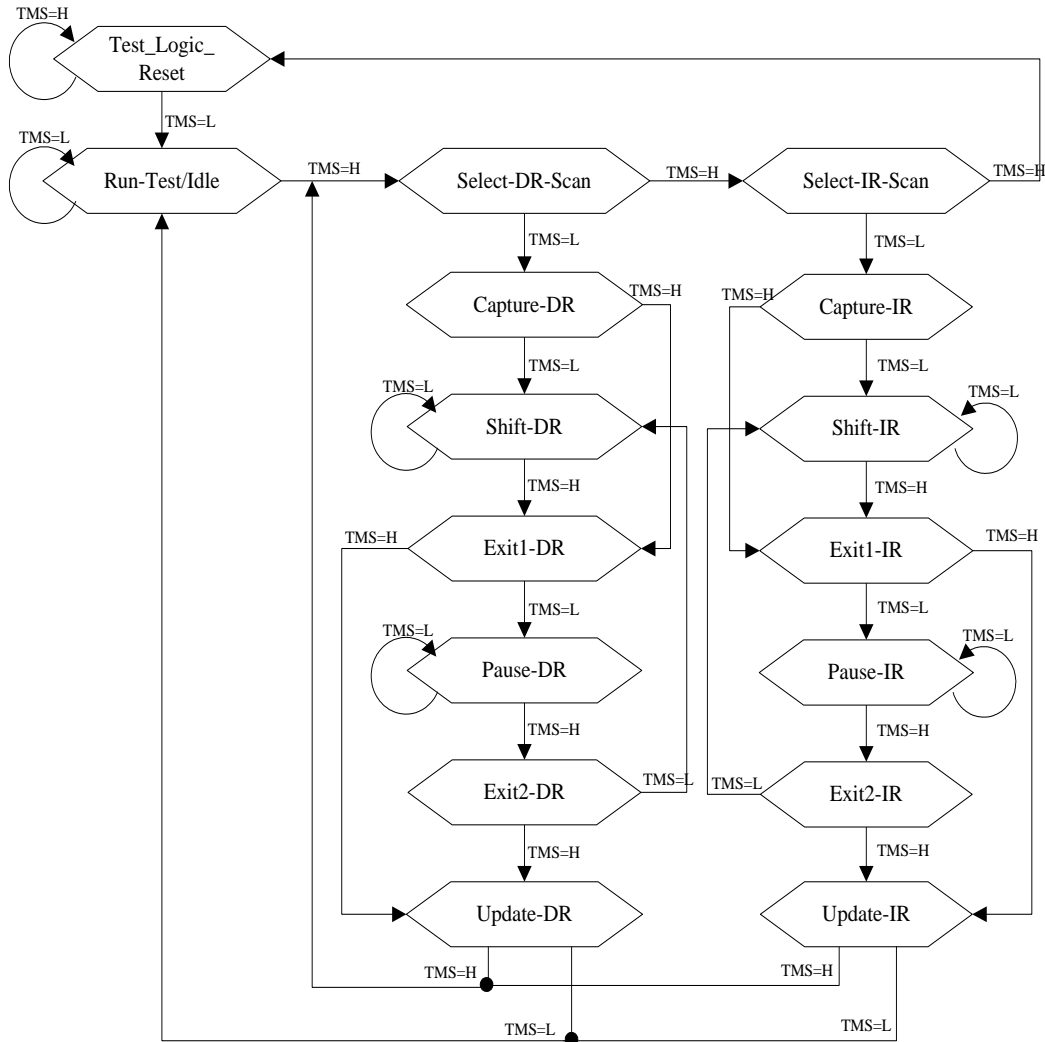


图 8-1: TAP 控制器状态机

8.4 测试寄存器

1) 指令寄存器: 测试接口包含一个 8 位的指令寄存器, 该寄存器为具有输出锁存和输入锁存功能的移位寄存器。除了支持 IEEE1149.1 标准强制需要的测试指令外, 还提供在申威 1621 处理器中专用的测试指令, 为处理器提供调试与测试支持。主要测试指令见表 8-2 所示。

表 8-2: 指令寄存器定义的主要测试指令

序号	类型	指令名称	指令编码	含义
----	----	------	------	----

			(二进制)	
1	标准 指令	EXTEST	00000000	实现在系统中的互连测试。
2		SAMPLE/PRELOAD	00000001	实现对信号引脚的采样与预加载。
3		IDCODE	00000010	访问标志寄存器。
4		EXTEST_PULSE	00000011	AC boundary Scan 测试指令 1
5		EXTEST_TRAIN	00000100	AC boundary Scan 测试指令 2
6		BYPASS	11111111	设置旁路。
7	专用 测试指令	CHAINADDR	00001010	设置扫描链地址寄存器，选择指定的扫描链
8		RUNSCAN	00001001	开启 DDR3PHY 的 ATPG 测试

2) 旁路寄存器: 1 位, IEEE1149.1 标准中规定的寄存器之一。当 BYPASS 指令有效的时候, 将该寄存器接在 TDI_H 和 TDO_H 之间。在默认情况下, TAP 控制器选择旁路寄存器作为从 TDI_H 到 TDO_H 的串行移位数据通路。

3) 标志寄存器: 32 位, IEEE1149.1 标准中规定了该寄存器的格式, 具体如图 8-2 所示。标志寄存器的最低位总是设置为“1”, [11:1]位制造商代码, [27:12]位为器件类型代码, [31:28]位为同一器件不同的版本号, 具体定义如表 8-3 所示。

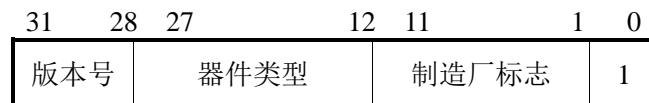


图 8-2: 标志寄存器

表 8-3: 标志寄存器说明

IDCODE[0]	固定为“1”。
IDCODE[11:1]	固定为“000 0000 0000”。
IDCODE[27:12]	固定为“0000 0000 0110 1010”。
IDCODE[31:28]	固定为“0000”。

4) 测试地址寄存器: 12 位, 自定义寄存器, 复位时清“0”, 可通过 CHAINADDR 指令对该寄存器进行设置。测试地址寄存器的具体含义如表 8-4 所示。

表 8-4: 测试地址寄存器说明

名称	范围	描述
ModuleID	[2:0]	表示芯片内各主要Module。 0: 表示GPIO BSR; 1: 表示PCI-E0; 2: 表示PCI-E1;

		3: 表示DDR3PHY0/1 (CG0); 4: 表示DDR3PHY2/3 (CG1); 5: 表示DDR3PHY4/5 (CG2); 6: 表示DDR3PHY6/7 (CG3); 7: 表示MCU (JTAG可访问的MCU接口寄存器);
SubTypeID	[4:3]	当ModuleID为DDR3PHYx时有意义; 0: BSR; 1: JTAG; 2: ATPG。 其他保留。
ChainID	[8:6]	当 ModuleID 和 SubTypeID 表示是 DDR3PHY 的 ATPG测试时, 表示ATPG的链号。其它ModuleID和SubTypeID, 该域无意义。 0: AC 的 Positive 链 (211) 1: AC 的 Negative 链 (112) 2: DATX0-2 的 Positive 链 (999) 3: DATX3-5 的 Positive 链 (999) 4: DATX6-8 的 Positive 链 (999) 5: DATX0-8的Negative链 (783) 其他保留;
DDR3PHYID	[9]	当 ModuleID 表示 DDR3PHYx 时有意义, DDR3PHYID为零则表示DDR3PHY0, 否则表示DDR3PHY1。
RSV	[11:10]	保留

8.5 边界扫描

申威 1621 处理器支持三类接口的边界扫描测试, 一类是维护接口和时钟接口 (统称为 GPIO 接口), 第二类为 PCI-E 接口, 第三类为 DDR3 存储器接口, 共计 11 条边界扫描链, 扫描链地址寄存器用于指定这些链的链号, 每条链的链长信息如表 8-5 所示, 每条链的具体信息见附录 B。

表 8-5: 边界扫描链长度列表

扫描链类型	链长
-------	----

GPIO 接口的边界扫描链 (BSR)	59
PCI-E0 接口的边界扫描链 (BSR)	24
PCI-E1 接口的边界扫描链 (BSR)	24
DDR3 存储器接口 0 的边界扫描链 (BSR)	150
DDR3 存储器接口 1 的边界扫描链 (BSR)	150
DDR3 存储器接口 2 的边界扫描链 (BSR)	150
DDR3 存储器接口 3 的边界扫描链 (BSR)	150
DDR3 存储器接口 4 的边界扫描链 (BSR)	150
DDR3 存储器接口 5 的边界扫描链 (BSR)	150
DDR3 存储器接口 6 的边界扫描链 (BSR)	150
DDR3 存储器接口 7 的边界扫描链 (BSR)	150

边界扫描测试的具体流程是：使用 CHAINADDR 命令，设定需要进行扫描测试的边界扫描链；使用边界扫描命令 (SAMPLE/PRELOAD/EXTEST)，根据扫描链地址寄存器的值，选择对应的边界扫描链进行扫出和扫入测试。

特殊说明：申威 1621 处理器的 DDR3 的 IO 引脚都是双向引脚，申威 1621 根据实际属性默认配置成输出或双向。DDR3 的双向引脚的 BSR 测试不需要借助板级引脚信号控制，只通过 JTAG 进行移位控制。具体流程如下：先移入 (shift)，然后更新 (update)，接下来采样 (capture)，再移出 (shift) 判断正确性。该方法是利用双向引脚环回特性，对于双向引脚移出值与移入值一致，而 OE 控制和单向引脚，其移出值为 0。

8.6 调试操作

申威 1621 处理器支持基于 JTAG 接口的芯片调试以及运行监测。

8.6.1 调试接口寄存器

JTAG (TAP 控制器) 通过接口寄存器与 MCU 进行交互。

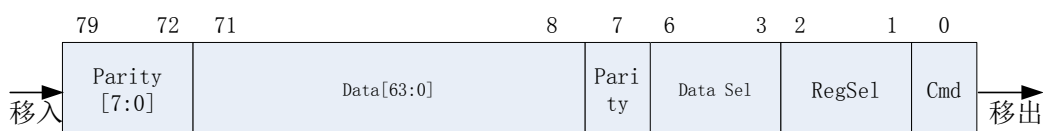


图 8-2: 调试接口寄存器

- 1) 位宽：80bit。

- a) Cmd 表示操作类型，0 表示读，1 表示写；读写相对此次操作对应的寄存器（RegSel[1:0] 选择）。
 - b) RegSel[1:0]表示寄存器选择，0 表示命令寄存器，1 表示数据寄存器。2 或 3 表示状态寄存器；
 - c) DataSel[3:0]表示数据 Wrap 选择，只对写数据或读响应数据有意义，表示本次数据 Wrap 地址（按 64 位而言）。
 - d) Data[63:0]表示本次读写操作（Cmd）的内容，如果操作命令寄存器则该数据为命令本身。
 - e) Parity 表示偶校验位。其中 bit7 是 bit[6:0]的偶校验位，bit[79:72]是 bit[71:8]的偶校验位，每个校验位对应 8 位数据。
- 2) 串行扫入格式要求：按照字节 1（低位到高位）+字节 2（低位到高位）+……+字节 10（低位到高位）的顺序进行。
 - 3) 串行扫出格式要求：按照字节 1（低位到高位）+字节 2（低位到高位）+……+字节 10（低位到高位）的顺序进行。

8.6.2 调试操作流程

- 1) 测试地址选择
 - a) 对 TBOX 指令寄存器进行 Update，写入 CHAINADDR 命令；
 - b) 对 TBOX 数据寄存器进行 Update，由于当前指令寄存器是 CHAINADDR 命令，所以此移入的数据是 ScanAddrReg，选择调试接口寄存器；
 - c) 对 TBOX 指令寄存器进行 Update，写入 SAMPLE/PRELOD 或 EXTEST 命令；
 - d) 此时可以操作调试接口寄存器。
- 2) 调试接口状态寄存器获取。
 - a) 对调试接口寄存器进行 Update 操作（Cmd 为零表示读取操作，RegSel[1:0]选择状态寄存器作为读取对象，DataSel[3:0]为零，Data[63:0]为零），选择状态寄存器并进行读操作；
 - b) 等待 16 个 TCLK，用于异步交接（测试时钟和维护时钟之间两次异步交接的延时），以保证接口寄存器内容稳定。

- c) 对调试接口寄存器进行 Capture 操作(此时调试接口寄存器数据域为状态寄存器内容), 得到状态信息, 如果允许发送命令(表 8-6 的 STATE, 下同)则发送命令, 否则反复查询。

表 8-6: TBXI 模块状态寄存器

描述符	域	意义
MFSM	[19:16]	维护主状态机编码。
RES_LNT	[15:8]	响应长度。 0: 0 字节; 8: 8 字节; 128: 128 字节; 其它保留。
RES_CMD	[7:2]	响应编码[5:0]。
STATE	[1:0]	记录基于 JTAG 接口的维护请求处理状态。 2'b00: 空闲状态。 2'b01: 维护请求发送状态。 2'b10: 维护请求处理状态。 2'b11: 维护命令处理结束状态。 对于维护命令(扫入维护命令寄存器)必须查询该状态标志, 等待该标志为空闲状态。

3) 调试操作读命令操作流程

- a) 对调试接口寄存器进行 Update 操作 (Cmd 为 “1”, RegSel[1:0]选择命令寄存器, Data[63:0]用于指定维护请求格式包, DataSel[3:0]为零), 选择命令寄存器并进行写操作;
- b) 对调试接口寄存器进行 Update 操作 (update 数据详见步骤 2), 读取状态寄存器内容, 如果响应已经准备好且有响应数据 (STATE 为 2'b11, RES_CMD 表示响应类型、RES_LNT 表示响应长度), 则准备得到本次读响应数据 (子步骤 c~e);
- c) 对接口寄存器进行 Update (Cmd 为 “0”, RegSel[1:0]选择数据寄存器, DataSel[3:0]

按长度从 0 开始选择 8B 数据，Data[63:0]无意义)，选择数据寄存器并进行读操作；

- d) 等待 16 个 TCLK，用于异步交接（测试时钟和维护时钟之间两次异步交接的延时），以保证接口寄存器内容稳定。
- e) 对调试接口寄存器进行 Capture（此时调试接口寄存器数据域为数据寄存器内容），得到数据寄存器中响应数据；如果响应数据为 1024 位，则反复步骤 3 中的 c~e 子步骤。
- f) 上层软件根据维护响应长度指示得到全部的响应数据后，对接口寄存器进行 Update 操作（Cmd 为“1”，RegSel[1:0]选择状态寄存器，DataSel[3:0]无意义，Data[63:0]无意义），选择状态寄存器并进行写操作，该动作仅仅用于交互。

4) 调试操作写命令操作流程

- a) 对调试接口寄存器进行 Update 操作（Cmd 为“1”，RegSel[1:0]选择命令寄存器，Data[63:0]用于指定维护请求格式包，DataSel[3:0]为零），选择命令寄存器并进行写操作；
- b) 对调试接口寄存器进行 Update 操作（Cmd 为“1”，RegSel[1:0]选择数据寄存器，Data[63:0]为写数据，DataSel[3:0]按长度从 0 开始选择 8B 数据），选择数据寄存器进行写操作；如果写数据为 128 位或 1024 位，则反复该子步骤。
- c) 对调试接口寄存器进行 Update 操作（update 数据详见步骤 2），读取状态寄存器内容，如果响应已经准备好（STATE 为 2'b11，RES_CMD 表示响应类型、RES_LNT 一定为零），此时已经得到响应；
- d) 对接口寄存器进行 Update 操作（Cmd 为“1”，RegSel[1:0]选择状态寄存器，DataSel[3:0]无意义，Data[63:0]无意义），选择状态寄存器并进行写操作，该动作仅仅用于交互。

5) 维护操作注意事项：

- a) 系统通过读状态寄存器 STAT_REG[19:16]可确定维护主状态机所处的状态。系统可在配置 1 状态、配置 2 状态、配置 3 状态、初始化加载状态、运行状态下发送维护命令；
- b) 当要发送维护命令时，系统通过 JTAG 端口读状态寄存器 STAT_REG[1:0]，如果此时 JTAG 接口的维护请求处理状态处在空闲状态，则系统通过 JTAG 端口发送维护命令；
- c) 系统循环查询状态寄存器，当确定状态寄存器 STAT_REG[1:0]= 2'b11 时，说明此时响应已经收齐，根据 STAT_REG[15:2]判断命令类型和响应数据长度。无论是否有读响应数据，系统都需要写状态寄存器，通知状态机切换到空闲状态。

9 复位与初始化

申威 1621 处理器在加电后，需要进行复位与初始化，才能进入正常工作状态。在复位与初始化期间，需要对申威 1621 处理器进行配置，以满足系统的需要。

9.1 复位

9.1.1 复位类型

申威 1621 处理器有三种复位方式，即上电复位、冷复位和睡眠唤醒，前两种复位由引脚信号启动，是对整个处理器的复位；第三种睡眠唤醒可以由维护接口的维护命令启动，也可以由内部的核心启动。

- 1) 上电复位：由引脚 DCOK_H 为低电平引起的复位，为优先级最高的复位。在申威 1621 处理器加电时应维持 DCOK_H 为低电平，使得处理器处于上电复位状态，待提供给处理器的各种电源稳定、输入给处理器的各种时钟稳定，才能将 DCOK_H 信号变为高电平，结束上电复位。上电复位是非常彻底的复位，包括复位处理器内部的 PLL 和维护接口；
- 2) 冷复位：由引脚 RESET_L 为低电平来引起的复位，优先级低于上电复位（即冷复位时 DCOK_H 应有效）。冷复位与上电复位功能相同；
- 3) 睡眠唤醒：申威 1621 处理器的核心可以处于睡眠状态，此状态下的核心处于复位状态，且工作频率非常低（维护时钟频率的八分之一），因此睡眠的核心功耗很低。通过核心运行程序或者维护接口的维护命令，可以使得任意的核心处于睡眠状态。同样通过核心运行程序或维护接口的维护命令，可以唤醒处于睡眠状态的核心。核心唤醒后，首先将核心工作时钟频率恢复到正常状态，然后结束复位，恢复正常工作状态。

9.1.2 复位状态机

申威 1621 处理器通过复位状态机来控制各种复位的处理，外部系统通过读取内部寄存器直接了解复位状态机的状态。复位状态机的状态转换如图 9-1 所示。

- 1) 上电复位(4'b0000)：若引脚 DOCK_H 为“0”，则无条件处于此状态。此状态下，若 DCOK_H 变为“1”，则转向冷复位状态；

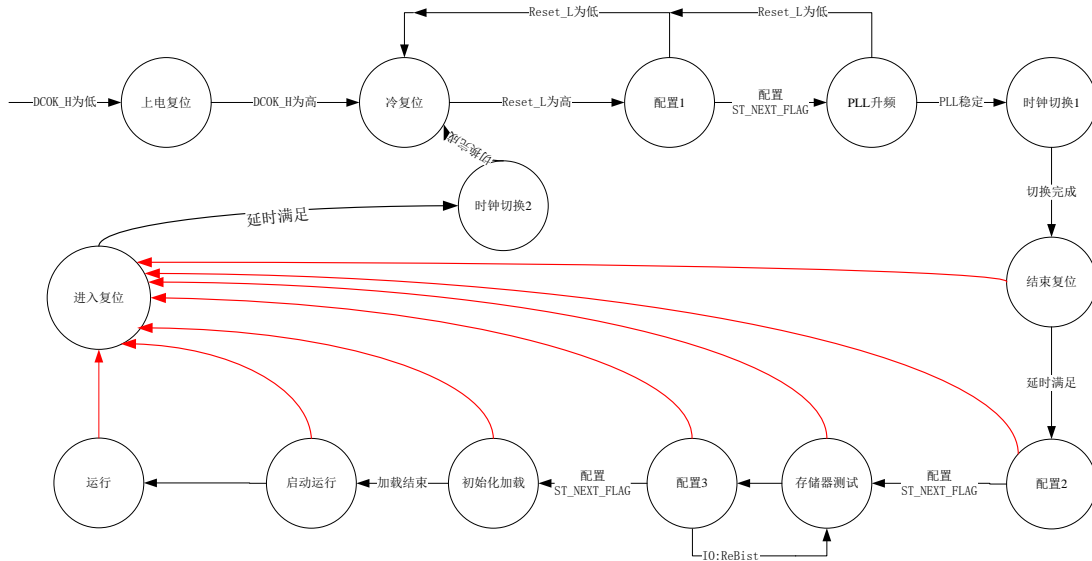


图 9-1: 复位状态机状态转换图

- 2) 冷复位 (4'b0001): 若引脚 RESET_L 为“0”，则维持在此状态，否则转向配置 1 状态；
- 3) 配置 1 (4'b0010): 如果配置 1 状态使能寄存器 CFG1_EN (INIT_CTL) 配置为零则直接转向 PLL 升频状态，否则等待初始化相关的控制寄存器完成配置后，通过写“ST_NEXT_FLAG”寄存器的维护命令，则转向 PLL 升频状态。当引脚 CFG_SEL_L 为“2'b1x”时，则自动读取 Flash 并配置初始化相关的控制寄存器后自动转入 PLL 升频状态；
- 4) PLL 升频 (4'b0011): 如果参数配置寄存器设置成 PLL 旁路模式，则直接转入时钟切换 1 状态；否则通过计数器计数方式等待 PLL 升频稳定，计数器溢出再转入时钟切换 1 状态；
- 5) 时钟切换 1 (4'b0100): 按顺序进行工作时钟的高低频切换。完成频率切换后，转向结束复位状态；
- 6) 结束复位 (4'b0101): 结束申威 1621 处理器的复位，等待一段时间后，转向配置 2 状态；
- 7) 配置 2 (4'b0110): 如果参数配置寄存器 CFG2_EN (INIT_CTL) 配置为零则成跳过此状态，则直接转向存储器自测试状态，否则外部先使用维护命令设置与存储器自测试相关的扫描链寄存器，然后向 6A 发出写“ST_NEXT_FLAG”寄存器的维护命令，则转向存储器自测试状态；
- 8) 存储器自测试 (4'b0111): 如果参数配置寄存器设置成跳过此状态，则直接转向配置 3 状态，否则对内部存储器进行自测试，存储器自测试结束转向配置 3 状态；如果等待指定时间尚未收到存储器自测试结束标志，则作为超时而转向配置 3 状态；
- 9) 配置 3 (4'b1000): 如果参数配置寄存器设置成跳过此状态，则直接转向初始化加载状态，否则外部可使用维护命令，通过自定义串行维护接口，设置 DDR3 存储器接口以及 PCI-E 接口等相关 I/O 寄存器，外部向处理器发出写“ST_NEXT_FLAG”寄存器的维护命令，则转向初始化加载状态；
- 10) 初始化加载 (4'b1001): 如果参数配置寄存器设置成跳过此状态，则直接转向启动运

行状态，否则外部可使用维护命令，通过自定义串行维护接口，将初始化程序加载到核心的指令 Cache 中，外部向处理器发出“初始化加载结束”的维护命令，则转向启动运行状态；当引脚 CFG_SEL_L 为“2'b1x”时，则自动读取 Flash 并完成 Icache 加载后自动转入启动运行状态；

- 11) 启动运行 (4'b1010)：如果参数配置寄存器设置成不运行状态，则停留在该状态，否则向各个核心发出启动运行信号，并转向运行状态；
- 12) 运行 (4'b1011)：此状态下，启动各核心开始运行（被切割的核心维持低频工作时钟下的复位状态）；
- 13) 进入复位 (4'b110x)：在结束复位状态、配置 2 状态、存储器自测试状态、配置 3 状态、初始化加载状态、启动运行状态和运行状态下，若引脚 Reset_L 变为“0”，则转向此状态。在该状态下，使得处理器除维护控制部件之外的所有部件进入复位状态，等待一段时间好后，转向时钟切换 2 状态；
- 14) 时钟切换 2 (4'b111x)：按顺序进行各模块的高低频工作时钟切换，即按照“系统接口→存控→互连→核心 0→核心 1”的顺序切换为低频工作时钟，然后转向冷复位状态。

注：配置 1 状态下外部只能读写维护控制部件的 I/O 寄存器，配置 2 状态和配置 3 状态下可以修改任意的 I/O 寄存器，但配置 2 状态主要用于修改与存储器自测试相关的扫描链寄存器。

9.2 配置

9.2.1 配置引脚

申威 1621 处理器的时钟接口和维护接口的部分引脚用于配置申威 1621 处理器，这些引脚需要在引脚 DCOK_H 有效之前设定相应的值，在 DCOK_H 有效后，不得改变，否则会产生不可预测的结果。这些配置引脚情况如表 9-1 所示。

表 9-1：与配置相关的引脚信号

配置引脚	配置要求
INIT_MODE_H[1:0]	应设置值为“11”，其它设置值用于处理器的测试。
CFG_CORE_H[3:0]	核心工作频率配置（7.2.3 节）。
CFG_MM_H[2:0]	存储控制器工作频率配置（7.2.3 节）。
CFG_XBX_H[2:0]	互连工作频率（7.2.3 节）。
CFG_SEL_H[1:0]	芯片配置说明。

	<p>“2'b00”：采用引脚配置方式，根据时钟控制引脚和初始化模式引脚来设置初始化寄存器 INT_CTL，并可以通过维护命令进行配置修改。</p> <p>“2'b01”：采用寄存器默认值配置方式，即配置引脚无效，采用寄存器缺省值，并可以通过维护命令进行配置修改。</p> <p>“2'b1x”：芯片自启动方式，即自动读取 SPI Flash 获得配置参数及初始引导程序。</p>
CHIP_MODE_H[2:0]	<p>芯片应用模式。</p> <p>3'b0xx：四核模式。强制关闭核组 1、核组 2 和核组 3（包括核心与对应的 DDR3 主存接口和三级 Cache）</p> <p>3'b100：八核经济模式。强制关闭核组 2 和核组 3（包括核心与对应的 DDR3 主存接口和三级 Cache）以及核组 0 和核组 1 的 DDR3 主存接口 1；</p> <p>3'b101：八核模式。强制关闭核组 2 和核组 3（包括核心与对应的 DDR3 主存接口和三级 Cache）。</p> <p>3'b110：16 核经济模式。强制关闭每个核组的 DDR3 主存接口 1；</p> <p>3'b111：16 核全功能模式。</p>

9.2.2 配置寄存器

申威 1621 处理器在结束上电复位和冷复位后，进入初始化。在初始化过程中，外部系统需要通过维护接口的维护命令，修改处理器内部与配置相关的 I/O 寄存器，以进一步配置处理器，满足系统的需求。与此相关的 I/O 寄存器如表 9-2 所示。

表 9-2: 配置相关的 I/O 寄存器

复位状态机状态	I/O 寄存器名称	含义
配置 1 状态	核心在位使能寄存器 CORE_ONLINE	用于确定处理器的 16 个核心中哪些核心在位，CORE_ONLINE[i]为“0”，表示该核心为断开状态，断开的核心始终处于复位和低功耗状态。
	存储在位使能寄存器 MC_ONLINE	用于确定处理器的 2 个存储器控制器中哪个在位，MC_ONLINE[i]为“0”，表示该存控被隔离，对该

		存控的 I/O 寄存器访问以及对该存控连接的存储器访问都将产生非法地址响应。
	I/O 接口使能寄存器 IO_START	用于处理器内部的 PCI-E 接口的故障隔离和容错，IO_START[i]为“0”，表示 PCI-E 接口 0 或 1 被隔离，对该接口的 I/O 访问将产生非法地址响应。
	时钟切换间隔寄存器 PLL_CHG_CNT	用于在处理器复位结束和复位开始时，控制不同核心、存控、和系统接口的时钟在低频和高频工作时钟间切换的时间间隔，该间隔默认为 65536 个维护时钟周期。
	初始化控制寄存器 INIT_CTL	用于控制处理器的复位初始化流程（时钟配置以及状态机状态控制）。
	BIST 控制寄存器 BIST_CTL	用于控制处理器的复位初始化流程的存储器自测试。

9.3 初始化

9.3.1 加关电顺序

为保证申威 1621 处理器的正常工作，需要按照一定顺序完成对申威 1621 处理器的加电，具体如下：

- 1) 将处理器的引脚信号 DCOK_H、RESET_L 设置为低电平；
- 2) 对处理器的 I/O 电源进行加电；
- 3) 对处理器的内核电源进行加电；
- 4) 将处理器的引脚信号 DCOK_H 变为高电平的有效状态；
- 5) 将处理器的引脚信号 RESET_L 变为高电平的无效状态；
- 6) 处理器进入初始化流程。

申威 1621 处理器关电也必须维持一定的顺序，必须按“RESET_L 有效→DCOK_H 无效→关闭内核电源→关闭 I/O 电源”的顺序进行。

注：要求在对 I/O 电源、内核电源加加电前，维护时钟要已经稳定。

9.3.2 初始化流程

申威 1621 处理器初始化流程具体如下：

1) 上电复位状态

该状态下的具体操作包括：

- a) 设置初始化模式 `INIT_MODE_H[1:0]=2'h3`、配置方式 `CFG_SEL_L[1:0]=2'b10`。
- b) 设置 `DCOK_H=1'b0`、`Reset_L=1'b0`；表示上电复位；
- c) 等待电源稳定后，设置 `DCOK_H=1'b1`，上电复位结束，进入冷复位状态。

2) 等待冷复位结束状态

该状态下的具体操作包括：

- a) 设置 `Reset_L : 0 → 1`，冷复位结束，进入配置 1 状态；
- b) 此状态 `FlashCtrl`（SPI Master 接口用于访问 SPI Flash）已经结束复位。主状态机进入配置 1 状态时准备读取 Flash 信息。

3) 配置 1 状态

该状态下的具体操作包括（可配置为直接跳过该状态）：

- a) 读取 SPI Flash 信息，根据读取信息配置初始化控制和时钟配置寄存器 `INIT_CTL`，PLL 升频等待计数器 `PLL_CHG_CNT`、`PIUPLL_CNT`，处理器信息寄存器 `r_CPUINFO` 和 Flash 信息寄存器 `FLASHINFO`；
- b) 自启动模式 `INIT_CTL` 信息指示跳过配置 1 状态，进入 PLL 升频状态。

4) PLL 升频状态

当 PLL 处于稳定工作状态，进入时钟切换 1 状态

5) 时钟切换 1 状态

芯片自动执行，所有时钟升频都切换完成后，进入结束复位状态；

6) 结束复位状态

暂时状态，自动进入配置 2 状态；

7) 配置 2 状态

该状态下的具体操作包括（可配置为直接跳过该状态）：

- a) 根据需要对 `BISR` 修复信息进行扫入操作；
- b) 设置 `IOR: NEXT_STAGE`，进入 PLL 升频状态，`STAT_OUT[3:0]_L: 4'b0110→4'b0111`。

8) 存储器自测试状态（`STAT_OUT[3:0]_L=4'b0111`）

根据 `IOR: BIST_CTL`，进行存储器自测试，自测试结果记录在 `IOR:BIST_STAT`、`CG_BIST_STAT` 和 `PC_BIST_STAT` 寄存器中。存储器自测试完成后，进入配置 3 状态；

9) 配置 3 状态

自启动模式 INIT_CTL 信息指示跳过配置 3 状态，进入 SROM 加载状态。

10) SROM 加载状态

自启动模式启动读取 Flash 的加载数据，加载结束后转入预备运行状态。

11) 预备运行状态

根据 IOR: INIT_CTL[STRUN_EN]决定是否进入运行状态，如果不进入则在该状态保持，如果进入运行状态。

12) 运行状态

此时芯片正常启动执行，可以运行加载进指令 Cache 的 SROM 程序或者从主存取值令，对申威 1621 处理器进行进一步的测试和控制，然后开始进行操作系统引导，使得申威 1621 处理器进入正常工作状态。

9.3.3 初始化程序

初始化程序包含对申威 1621 处理器进行进一步的初始化，设置相关的控制寄存器，进行进一步的测试，为后续启动操作系统建立运行环境。初始化程序正确运行完成后，通知外部系统可以向申威 1621 处理器控制的存储器中加载操作系统，外部系统完成操作系统加载以后，通知申威 1621 处理器启动加载的操作系统。

10 电气特性

10.1 工作条件

申威 1621 的工作条件如表 10-1 所示。

表 10-1: 工作环境参数

符号	参数	最小值	正常值	最大值	单位
$V_{VDD} \pm 40mV$	内核电源电压	0.91	0.95	0.99	V
$V_{VDD15} \pm 5\%$	1.5V I/O 电源电压	1.425	1.5	1.575	V
	1.35V I/O 电源电压	1.283	1.35	1.45	V
$V_{VDD18} \pm 5\%$	1.8V I/O 电源电压	1.71	1.8	1.89	V
V_{PAD}	信号引脚电压	-0.3	-	$V_{VDDQ} + 0.09$	V
V_{REF15}	1.5V I/O 参考电压	$0.49 * V_{VDD15}$	$0.5 * V_{VDD15}$	$0.51 * V_{VDD15}$	V
T_J	结温	0	70	125	°C
T_A	环境温度	-40	25	85	°C
ESD 静电保护电压	Human Body Model	2000			V
	Machine Model	200			V
	Charge Device Model	500			V

注: V_{VDDQ} 为信号引脚对应的 I/O 电源电压, 对 SSTL 信号为 V_{VDD15} , 其它信号为 V_{VDD18} 。

10.2 直流参数

10.2.1 差分时钟输入信号

差分时钟输入信号 RCLK_P/RCLK_N 为 LVDS 电平, 其直流参数如表 10-2 所示。

表 10-2: 差分时钟的直流参数

参数	描述	最小值	正常值	最大值	单位
VDE18	Supply Voltage	1.65	1.8	1.95	V
VDD		0.81	0.9	0.99	V
$ V_{ID} $	输入差分电压	100		600	mV

10.2.2 存储器接口信号

存储器接口信号都是电源为 1.5V 或 1.35V 的 SSTL 电平，其直流参数如表 10-3 所示。

表 10-3: 存储器接口信号直流参数

符号	参数	最小值	正常值	最大值	单位	说明
V_{IH}	输入高电平电压	$V_{REF15}+0.1$		V_{VDD15}	V	
V_{IL}	输入低电平电压	$V_{SS}-0.3$		$V_{REF15}-0.1$	V	
V_{IHT}	输入高电平阈值电压			$V_{REF15}+0.025$	V	
V_{ILT}	输入低电平阈值电压	$V_{REF15}-0.025$			V	
V_{OH}	输出高电平电压	$0.8*V_{VDD15}$			V	1
V_{OL}	输出低电平电压			$0.2*V_{VDD15}$	V	1
t_{STEP}	输出调整一级延迟大小		5		ps	
R_{TT}	RTT 有效阻抗值	-12%	40/60/120	+31%	欧姆	2
R_{serdrv}	串行输出电阻	-10%	34	+10%	欧姆	
P_{RCV0}	输入模式下直流功耗 (V_{VDD15})	0.76	1.26	2.73	mW	3
P_{RCV1}	输入模式下直流功耗 (V_{VDD})	0.07	0.13	13.57	uW	3
P_{DRV0}	输出模式下直流功耗 (V_{VDD15})	0.76	1.26	2.73	mW	4
P_{DRV1}	输出模式下直流功耗 (V_{VDD})	0.06	0.11	13.33	uW	4

说明:

- 1) 表中的直流参数是没有端接电阻的情况下负载为 1pf 的值;
- 2) 端接电阻可选择为 40 欧姆、60 欧姆或 120 欧姆;
- 3) 输入没有端接 (ODT 不使能), 总功耗需将直流功耗和交流功耗相加;
- 4) 输出没有端接, 总功耗需将直流功耗和交流功耗相加。

10.2.3 1.8V LVCMOS 信号

时钟接口 (除差分参考时钟输入)、维护接口和测试接口信号都是采用 1.8V LVCMOS 电平。这类信号的直流参数如表 10-4 所示:

表 10-4: 1.8V LVCMOS 电平信号的直流参数

参数	描述	最小值	正常值	最大值	单位
----	----	-----	-----	-----	----

V _{DD}	前驱电压（核心电压）	0.91	0.95	0.99	V
V _{DDPST}	后驱电压（IO 电压）	1.62	1.8	1.98	V
V _{IMAX}	最大输入电压			1.98	V
V _{IH}	输入高电平	1.17		1.98	V
V _{IL}	输入低电平	-0.3		0.63	V
V _T	阈值点	0.81	0.89	0.97	V
V _{TPU}	带上拉电阻使能的阈值点	0.8	0.87	0.96	V
V _{TPD}	带下拉电阻使能的阈值点	0.82	0.89	0.98	V
R _{PU}	上拉电阻	47K	69K	106K	欧
R _{PD}	下拉电阻	49K	85K	159K	欧
V _{OH}	输出高电平	1.35			V
V _{OL}	输出低电平			0.45	V
I _{OH}	高电平输出电流（V _{OH} =1.35V）	12.9	28.4	50.5	mA
I _{OL}	低电平输出电流（V _{OL} =0.45V）	16.5	26.8	37.1	mA

10.3 交流参数

10.3.1 差分时钟输入信号

差分时钟输入信号 RCLK_P/RCLK_N 为 LVDS 电平，其交流参数如表 10-5 所示。

表 10-5: 差分时钟的交流参数

符号	参数	最小值	典型值	最大值	单位	说明
t _{dc}	输入时钟占空比	45	—	55	%	
J _{max}	输入时钟 Jitter	—	—	1	%	
F _{req}	输入时钟频率	10	—	600	MHz	

10.3.2 存储器接口信号

存储器接口信号为 1.5V 或 1.35V SSTL 电平，其交流参数和延时信息如表 10-6 和表 10-7 所示。表 10-7 中的延时信息是针对 72 位数据和 9 位 DQS 而言。存储器接口信号在 PCB 板级的长度要求（推荐值）见表 10-8，该表中的 Clock、Data、Control 和 Command 的具体分类见表 10-9。

表 10-6: DDR3 存储器接口交流参数

符号	参数	最小值	正常 值	最大值	单位	说明

$V_{IH} (AC)$	交流输入逻辑高电压阈值	$V_{REF15}+175mV$			V	
$V_{IL} (AC)$	交流输入逻辑低电压阈值			$V_{REF15}-175mV$	V	
P_{RCV0}	输入模式下交流功耗 (V_{VDD15})	0.37	0.37	0.45	$\mu W/MHz$	1,2
P_{RCV1}	输入模式下交流功耗 (V_{VDD})	0.06	0.07	0.09	$\mu W/MHz$	1,2
P_{DRV0}	输出模式下交流功耗 (V_{VDD15})	10.47	10.57	12.57	$\mu W/MHz$	2,3
P_{DRV1}	输出模式下交流功耗 (V_{VDD})	0.31	0.39	0.52	$\mu W/MHz$	2,3

说明:

- 1) 输入没有端接 (ODT 不使能);
- 2) 总功耗需将直流功耗和交流功耗相加;
- 3) 假设负载为 5pf, 并有 25 欧姆端接电阻, 端接电压为 V_{VDD15} 的二分之一。

表 10-7: DDR3 存储器接口延时信息

符号	参数	偏斜	单位	说明
Skew_ck	差分时钟对之间的 skew	11	ps	1
Skew_cktoac	时钟和 AC (Address Command) 之间的 skew	30	ps	1
Skew_DQS	DQS 差分对之间的 skew	10	ps	1
Skew_x8_inter	X8 内的 skew	20	ps	1
Skew_x8_Cross	X8 间的 skew	33	ps	1

注 1: 该 skew 包括 Die 和封装两个方面。

10.3.3 维护接口信号

维护接口信号都是电源为 1.8V 的 LVCMOS 电平, 其交流参数如表 10-8 所示, 相应的时序见图 10-1。

表 10-8: 维护接口的交流参数

引脚名称	I/O	延迟 (ns)	说明	频率指标
MT_CLK_H	输入	0.576ns	Pin 到片内部触发器的延时	25MHz
MT_TX_H	输出	3.194ns	内部触发器到 pin 的延时	25MHz
MT_RX_H	输入	0.986ns	Pin 到片内部触发器的延时	25MHz

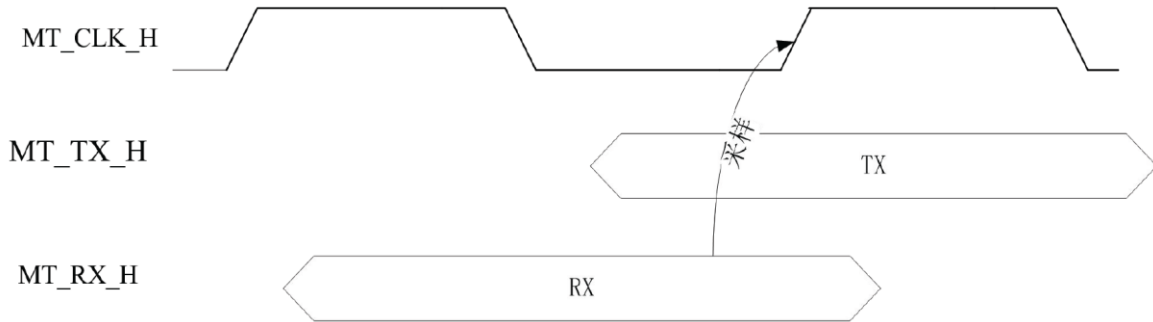


图 10-1: 维护接口延时图

申威1621处理器在维护时钟MT_CLK_H的上升沿对串行输入MT_RX_H进行采样，在维护时钟MT_CLK_H的下降沿沿输出MT_TX_H。根据图10-1 时序和表10-8 实际延时，并考虑一定的余量，建议板级设计要按MT_RX_H在处理器内部用时3ns、MT_TX_H在处理器内部用时5ns考虑，此外还有考虑板级的延时。为了减少低频信号跨片传输偏斜（skew）对Hold的影响，建议使用上升沿接收、下降沿输出的进行容偏斜，即外部系统在下降沿输出MT_RX_H、在上升沿接MT_TX_H。

SPI接口信号都是电源为1.8V的LVCMOS电平，其交流参数如表10-9所示，相应的时序见图10-2。

表10-9: SPI接口的交流参数

引脚名称	I/O	延迟 (ns)	说明	频率指标
SCK_H	输出	3.233ns	内部触发器到 pin 的延时	25MHz
SS_L	输出	3.249ns	内部触发器到 pin 的延时	25MHz
MISO_H_IN	输入	0.861ns	Pin 到内部触发器的延时	25MHz
MOSI_H_OUT	输出	3.263ns	内部触发器到 pin 的延时	25MHz

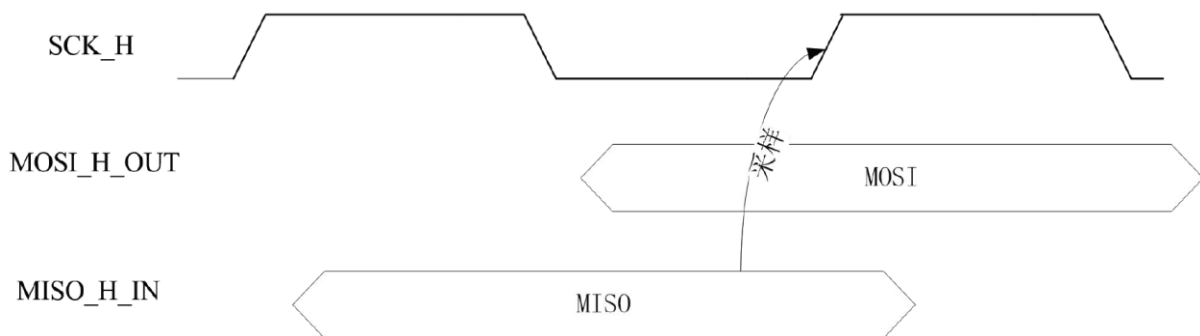


图 10-2: SPI 接口延时图

申威1621处理器在SCK_H的上升沿对串行输入MISO_H_IN进行采样，在SCK_H的下降沿沿输出MOSI_H_OUT。根据SPI的传输时序，采样MISO_H_IN要考虑处理器芯片与Flash芯片的往返延时。根据图10-2时序和表10-9实际延时，并考虑一定的余量，建议板级设计要按MISO_H_IN在处理器内部用时10ns、MOSI_H_OUT在处理器内部用时5ns考虑，此外还有考虑板级的延时。

10.3.4 测试接口信号

测试接口信号都是电源为 1.8V 的 LVCMOS 电平，其交流参数如表 10-10 所示。

表 10-10: 测试接口的交流参数

引脚名称	I/O	传输延时 (ns)	说明	频率指标
TCK_H	输入	0.462ns	Pin 到内部触发器的延时	10MHz
TMS_H	输入	0.808ns	Pin 到内部触发器的延时	10MHz
TRST_L	输入	1.118ns	Pin 到内部触发器的延时	10MHz
TDI_H	输入	2.349ns	Pin 到内部触发器的延时 TCK_H 时钟上升沿采样	10MHz
TDO_H	输出	9.585ns	内部触发器到 pin 的延时 TCK_H 时钟下降沿输出	10MHz

10.3.5 PCI-E 接口

申威 1621 处理器的 PCI-E 接口符合 PCI-E 3.0 标准，其接口信号的交直流参数可参考《PCI Express base specification Version3.0》。PCI-E 接口差分时钟输入 PCI_CLK_P/PCI_CLK_N 在系统中建议的连接方式如图 10-3 所示。相关特性与要求如表 10-11 所示。

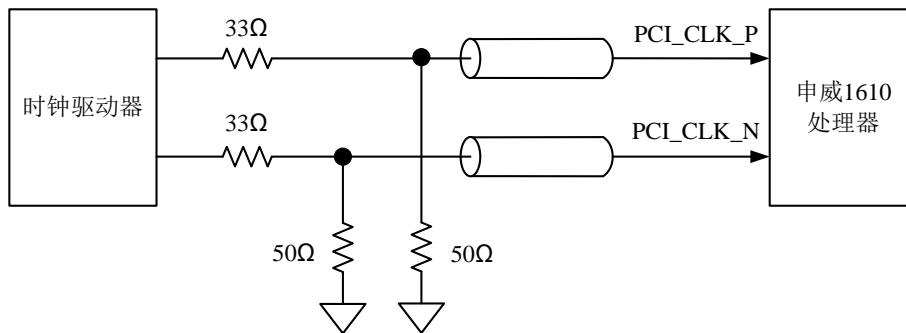


图 10-3: PCI-E 接口差分时钟输入连接参考电路

表 10-11: PCI-E 接口差分时钟输入特性要求

参数	最小值	典型值	最大值	单位
频率		100		MHz
占空比	40		60	%
直流输入电压	0		1.8	V
交流输入电压	0.150		1.44	V

差分输入摆幅	0.300		0.900	V
输入边沿速度	0.6			V/ns

10.4 功耗

10.4.1 封装热特性

申威 1621 处理器封装的散热特性如表 10-12 所示。

表 10-12: 申威 1621 处理器封装的热阻参数

风速 V(m/s)	θ_{ja} (°C/W)	θ_{jc} (°C/W)
0.0	1.958	7.3E-02
1.0	0.683	
2.0	0.416	

说明:

θ_{ja} : 芯片内硅片到芯片工作环境之间的热传导系数;

θ_{jc} : 芯片内硅片到芯片封装管壳之间的热传导系数;

芯片结温=环境温度+ θ_{ja} *功耗=芯片壳温+ θ_{jc} *功耗。

备注: 封装金属盖中集成了铜镍材质的散热器。该数据是带外置散热片条件下的仿真结果。

10.4.2 热设计功耗

建议的申威 1621 处理器热设计功耗如下:

- 1) 2.0GHz 核心工作频率下, 热设计功耗 (TDP) 为 150W, 典型运行功耗 100W;
- 2) 1.8GHz 核心工作频率下, 热设计功耗 (TDP) 为 120W, 典型运行功耗 85W;
- 3) 1.6GHz 核心工作频率下, 热设计功耗 (TDP) 为 110W, 典型运行功耗 80W;
- 4) 1.4GHz 核心工作频率下, 热设计功耗 (TDP) 为 100W, 典型运行功耗 75W;

10.4.3 功耗管理

申威 1621 处理器支持多种功耗管理策略, 可在操作系统配合下实现多种低功耗工作模式, 具体如下:

- 1) 深睡眠: 申威 1621 处理器内含 16 个完全相同的核心, 若某些核心处于无运行负载的状态, 应将这些核心设置在睡眠状态。核心或者外部系统通过维护命令可向任意核心发出睡眠中

断，使得这些无负载的核心处于睡眠状态。处于睡眠状态的核心处于复位状态，且维持较低的时钟频率（仅为维护时钟频率的八分之一）。一旦需要睡眠的核心恢复工作状态，可由非睡眠的核心或外部系统向睡眠核心发送唤醒中断，即可使得睡眠的核心恢复正常工作频率，结束复位，重新进行初始化，并引导操作系统，恢复正常工作状态。睡眠状态的核心几乎没有动态功耗。

- 2) 浅睡眠：申威 1621 处理器支持一种浅睡眠功能，一旦核心无可运行的进程，处于“空闲”状态，可执行“停机”指令，使得核心处于浅睡眠状态。此状态下核心内部的各流水线处于停顿状态，因此只有少量的时钟动态功耗。对浅睡眠的核心发送任何中断，都可以快速使其恢复工作状态。
- 3) 关闭部件：申威 1621 处理器核心中的浮点部件和 SIMD 部件可以单独关闭，当核心运行的程序不需要浮点或 SIMD 功能时，可关闭浮点部件或者 SIMD 部件，以节省运行功耗。浮点部件和 SIMD 部件可以动态打开或关闭。
- 4) 降低指令处理速度：申威 1621 处理器核心的指令流水线流水速度可以动态调节，一旦核心需要的性能较低时，可以在满足系统性能需求基础上，降低指令流水线流水速度，从而降低核心的动态运行功耗。
- 5) 存储控制器和 PCI-E 接口控制器也可控制进入低功耗状态或者直接关闭。

附录 A 维护接口的命令与响应

A.1 维护命令

A.1.1 维护命令包格式

维护命令包的格式如表 A-1。通过引脚信号 MT_RX_H 串行传输时，按照先低字节后高字节的顺序传输，传输每个字节时，从高位开始传输。

表 A-1: 维护命令包的格式

字节 0	11	命令编码[5:0]
字节 1		地址[7:0]
字节 2		地址[15:8]
字节 3		地址[23:16]
字节 4		地址[31:24]
字节 5		地址[39:32]
字节 6		数据有效位[7:0]
字节 7		数据有效位[15:8]
字节 8		数据字节 0
	
字节 7+n		数据字节 n-1

A.1.2 维护命令编码

申威 1621 支持 14 种维护命令，具体的维护命令和含义如表 A-2 所示。

表 A-2: 维护命令编码及其含义

编号	维护命令	[7:6]	[5:0]	备注
1	维护读存储器	固定为 2'b11	6'b000000	带 CC（一致性处理标志）的存储器读（每次读 128 字节）。
2			6'b000100	不带 CC（一致性处理标志）的存储器读（每次读 128 字节）。
3	维护写存储器		6'b100000	带 CC（一致性处理标志）的存储器写（写数据 16 字节）。

4		6'b100101	带 CC（一致性处理标志）的存储器写（写数据 128 字节）。
5		6'b101000	不带 CC（一致性处理标志）的存储器写（写数据 16 字节）。
6		6'b101001	不带 CC（一致性处理标志）的存储器写（写数据 128 字节）。
7	维护接口复位	6'b110000	维护接口复位。
8	维护读寄存器	6'b001000	每次读 8 字节。
9	维护写寄存器	6'b100100	每次写 8 字节。
10	扫出或监测状态	6'b001100	每次扫出 128 字节。
11	扫入状态	6'b101101	串行扫入（16 字节）。
12		6'b101111	串行扫入（128 字节）。
13	初始化加载	6'b111100	初始化加载（128 字节）。
14		6'b111111	初始化加载结束。

A.1.3 维护命令目标编码

维护命令包中定义的地址为 40 位物理地址（PA[39:0]）。40 位物理地址对应的维护命令目标如表 A-3 所示。

表 A-3：维护命令目标编码

编号	维护命令包中地址 PA[39:36]	维护命令目标
1	000x	核组 0 存储控制器控制的存储器空间。
2	001x	核组 1 存储控制器控制的存储器空间。
3	010x	核组 2 存储控制器控制的存储器空间。
4	011x	核组 3 存储控制器控制的存储器空间。
5	1000	核组 0 存储控制器中 I/O 空间。
6	1001	核组 1 存储控制器中 I/O 空间。
7	1010	核组 2 存储控制器中 I/O 空间。

8	1011	核组 3 存储控制器中 I/O 空间。
9	1100	PCI-E 0 接口中 I/O 空间。
10	1101	维护接口中 I/O 空间。
11	1110	系统接口部件中 I/O 空间。
12	1111	PCI-E 1 接口中 I/O 空间。

A.1.4 维护命令详细说明

A.1.4.1 维护中断

维护中断命令是对申威 1621 内指定的某个核心发送维护中断，地址为维护接口中维护中断控制寄存器地址（IOR: MT_INT）。第 8 字节的最低 4 位指示中断的目标核心（编码表示），第 9 字节的最低 2 位表示中断类型编码，“0x”指示正常维护中断，“10”指示维护睡眠中断，“11”指示维护唤醒中断。维护中断命令包的格式见表 A-4。

表 A-4: 维护中断命令包

字节 0	2'b11	6'b100100
字节 1		地址[7:0]
字节 2		地址[15:8]
字节 3		地址[23:16]
字节 4		地址[31:24]
字节 5		地址[39:32]
字节 6		数据有效位[7:0]
字节 7		8'b00000000
字节 8		最高 4 位为全“0”，最低 4 位指示中断的目标核心，
字节 9		最高 6 位为全“0”，最低 2 位指示中断类型编码
字节 10		8'b00000000
字节 11		8'b00000000
字节 12		8'b00000000
字节 13		8'b00000000
字节 14		8'b00000000

字节 15	8'b00000000
-------	-------------

A.1.4.2 存储器读

存储器读命令是对申威 1621 控制的存储器进行读操作，读数据的长度固定为 128 字节，并根据读命令编码确定是否对所读数据执行 Cache 一致性操作，“000000”表示执行 Cache 一致性操作，“000100”表示直接读存储器，不执行 Cache 一致性操作。存储器读命令包的格式见表 A-5。

表 A-5: 存储器读命令包

字节 0	2'b11	6'b000000/000100 (带 CC 标志/不带 CC 标志)
字节 1		地址[7:0]
字节 2		地址[15:8]
字节 3		地址[23:16]
字节 4		地址[31:24]
字节 5		地址[39:32]
字节 6		8'b00000000
字节 7		8'b00000000

对存储器读命令，读响应的数据长度固定为 128 字节。要求地址必须是 128 字节对界。

A.1.4.3 存储器写

存储器写命令是对申威 1621 控制的存储器进行写操作，根据写命令编码决定写数据长度以及是否对所写数据执行 Cache 一致性操作。存储器字节写命令（包括 Cache 一致性的存储器字节写和存储器直接写字节）中的数据有效位有意义，其它存储器写命令中数据有效位无意义，总是写入地址对界的 128 字节。当写数据长度小于或等于 16 字节时，用存储器字节写命令（命令编码“100000”和“101000”），数据有效位表示的粒度为字节；当写数据长度超过 16 字节且不超过 128 字节时，需要分拆成若干存储器字节写命令来处理。存储器写命令包的格式见表 A-6，写命令编码见表 A-7。

表 A-6: 写存储器命令包

字节 0	2'b11	6'b100000/100101/101000/101001 (带 CC 标志字节写/带 CC 标志整块写/ 不带 CC 标志字节写/不带 CC 标志整块写)
字节 1		地址[7:0]
字节 2		地址[15:8]

字节 3	地址[23:16]
字节 4	地址[31:24]
字节 5	地址[39:32]
字节 6	数据有效位[7:0]
字节 7	数据有效位[15:8]
字节 8	数据 0

字节 7+n	数据 n-1 (n=16 或 128)

表 A-7: 写存储器命令编码与含义

编码	含义
100000	执行 Cache 一致性操作的存储器写, 写数据粒度为字节。
100101	执行 Cache 一致性操作的存储器写, 写数据粒度为长字。
101000	不执行 Cache 一致性操作的存储器直接写, 写数据粒度为字节。
101001	不执行 Cache 一致性操作的存储器直接写, 写数据粒度为长字。

A.1.4.4 I/O 寄存器读

I/O 寄存器读命令是对与申威 1621 内 I/O 寄存器的读操作, I/O 寄存器读的数据长度为 64 位, 读数据粒度为字节。I/O 寄存器读命令包的格式见表 A-8。

表 A-8: I/O 寄存器读命令包

字节 0	11	001000
字节 1		地址[7:0]
字节 2		地址[15:8]
字节 3		地址[23:16]
字节 4		地址[31:24]
字节 5		地址[39:32]
字节 6		数据有效位 (V[7:0])
字节 7		00000000

对一般的 I/O 寄存器, 读响应的数据长度固定为 64 位。

PCI-E 接口部件 (EP) 中的 I/O 寄存器支持 8b、16b、32b 和 64b 四种粒度。四种粒度与低位地址的对应关系如表 A-9:

表 A-9: 粒度与数据有效位关系

粒度	数据有效位	地址[2:0]
64b	8'b1111_1111	3'b000
32b	8'b0000_1111	3'b000
	8'b1111_0000	3'b100
16b	8'b0000_0011	3'b000
	8'b0000_1100	3'b010
	8'b0011_0000	3'b100
	8'b1100_0000	3'b110
8b	8'b0000_0001	3'b000
	8'b0000_0010	3'b001
	8'b0000_0100	3'b010
	8'b0000_1000	3'b011
	8'b0001_0000	3'b100
	8'b0010_0000	3'b101
	8'b0100_0000	3'b110
	8'b1000_0000	3'b111

维护接口的读响应数据为 64 位的存储器格式（8b/16b/32b 的响应数据在各自对应位置），维护系统根据请求数据有效位得到相应数据。

A.1.4.5 I/O 寄存器写

I/O 寄存器写命令是对申威 1621 内 I/O 寄存器的写操作，I/O 寄存器写的数据长度为 64 位，写数据粒度为字节。I/O 寄存器写命令包的格式见表 A-10。

表 A-10: 写 I/O 寄存器命令包

字节 0	11	100100
字节 1	地址[7:0]	
字节 2	地址[15:8]	
字节 3	地址[23:16]	
字节 4	地址[31:24]	
字节 5	地址[39:32]	
字节 6	数据有效位（V[7:0]）	

字节 7	8'b00000000
字节 8	数据 0

字节 7+n	数据 7

对一般的 I/O 寄存器，读响应的数据长度固定为 64 位。

PCI-E 接口部件 (EP) 中的 I/O 寄存器支持 8b、16b、32b 和 64b 四种粒度。四种粒度与低位地址的对应关系如表 A-9。

维护接口的读响应数据为 64 位的存储器格式 (8b/16b/32b 的响应数据在各自对应位置)，维护系统根据请求数据有效位得到相应数据。

A.1.4.6 状态扫出

状态监测和状态扫描采用统一编址 (24 位地址)，全芯片共 16MB 的地址空间。状态扫出命令统一按 1024 位操作，要求地址[6:0]为全零。状态信息位少于 1024 位时，维护接口自动用“0”补齐。读状态链命令包的格式见表 A-11，具体编址见表 A-12。

表 A-11: 读状态链命令包

字节 0	11	001100
字节 1	地址[7:0]	
字节 2	地址[15:8]	
字节 3	地址[23:16]	
字节 4	地址[31:24]	
字节 5	地址[39:32]	
字节 6	00000000	
字节 7	00000000	

表 A-12: SCAN 编址说明

地址[23:21]	模块	子模块		实际可用
3'h0/	CG0/	核心 0([20:18]=3'b000)		8KB, 即地址[12:0]
		核心 1([20:18]=3'b001)		8KB, 即地址[12:0]
3'h1/	CG1/	核心 2([20:18]=3'b010)		8KB, 即地址[12:0]
3'h2/	CG2/	核心 3([20:18]=3'b011)		8KB, 即地址[12:0]
3'h3	CG3	CPM([20:18])	CPM([17]=0)	1KB, 即地址[9:0]

		=3'b100)	TCDATA([17]=1)	2KB, 即地址[10:0]
			MC0([20:18]=3'b101)	2KB, 即地址[10:0]
			MC1([20:18]=3'b110)	2KB, 即地址[10:0]
			保留([20:18]=3'b111)	
3'h4	CLU			32B, 即地址[4:0]
3'h5	ION& INTPU		INTPU([20:19]=2'b0x)	1KB, 即地址[9:0]
			ION0([20:19]=2'b10)	1KB, 即地址[9:0]
			ION1([20:19]=2'b11)	1KB, 即地址[9:0]
3'h6	PIU0		PIU0([20:18]=3'bxx0)	1KB, 即地址[9:0]
			PageCache0([20:18]=3'bxx1)	256B, 即地址[7:0]
3'h7	PIU1&MCU		PIU1([20:18]=3'b0x0)	1KB, 即地址[9:0]
			PageCache1([20:18]=3'b0x1)	256B, 即地址[7:0]
			MCU([20:19]=2'b10)	1KB, 即地址[9:0]
其它	—		—	保留

A.1.4.7 状态扫入

状态扫描采用统一编址（24 位地址），全芯片共 16MB 的地址空间。状态扫入分为字节写（16 字节）和长字写（128 字节）两种，两种命令的地址都要求对界，即字节写地址[3:0]为零，长字写地址[6:0]为零。只有字节写命令支持数据有效位，即写入可精确到哪个字节。数据长度只有 128 位和 1024 位两种。当扫入的长度小于或等于 128 位时，用字节扫入，数据有效位表示对应字节的数据有效。如果扫入数据长度小于 1 个 Cache 行且大于 128 位时，需要由软件分拆成若干个 128 位。对不支持写入的 SCAN 寄存器写入不产生任何影响。

状态扫入命令包的格式见表 A-13，具体编址见表 A-12。

表 A-13: 状态扫入命令包

字节 0	11	101101/101111
字节 1		地址[7:0]
字节 2		地址[15:8]
字节 3		地址[23:16]
字节 4		地址[31:24]
字节 5		地址[39:32]

字节 6	数据有效位 (V[7:0])
字节 7	数据有效位 (V[15:8])
字节 8	数据 0

字节 7+n	数据 n-1 (n=16 或 128)

A.1.4.8 初始化程序加载

初始化程序加载命令实现对申威 1621 内所有核心的指令 Cache 进行初始化程序加载。当命令编码为“111100”时，表示向核心的指令 Cache 加载初始化程序，每次加载 1 个 Cache 行，数据长度固定为 128 字节，数据有效位为全“1”。当命令编码为“111111”时，表示初始化程序加载结束，数据有效位为全“0”，表示不含加载数据。初始化程序加载命令包的格式见表 A-14。

表 A-14: 初始化程序加载命令包

字节 0	11	111100/111111
字节 1	地址[7:0]	
字节 2	地址[15:8]	
字节 3	地址[23:16]	
字节 4	地址[31:24]	
字节 5	地址[39:32]	
字节 6	数据有效位 (V[7:0])	
字节 7	数据有效位 (V[15:8])	
字节 8	数据 0 (只针对命令“111100”)	
	
字节 7+n	数据 n-1 (只针对命令“111100”)	

初始化加载结束命令不带数据（命令包的长度为 8 字节）。

初始化加载命令的地址（初始化加载结束命令地址没有任何意义）仅作地址检查使用，并不影响申威处理器内部生产的 ICache 加载地址。芯片内部的地址检查仅针对 Srom 加载的“重传”和“漏传”。芯片默认 Srom 加载地址从 0x0 地址开始，每个 Cache 块加 0x80，且必须按顺序加载。申威处理器内部实际加载时会根据地址判断该顺序，如果加载地址与期望地址不同（加载地址小于期望地址意味着维护系统发生“重传”，加载地址大于期望地址意味着维护系统发生“漏传”），则发生“重传”或“漏传”，两种情况仍然返回正常响应（从 5A FPGA 模块的情况看，主要是命令“重传”，注

意不能返回错误响应，否则会反复“重传”)。申威处理器会对接收到的 Srom 加载命令数量、实际加载 Icache 的命令数量和维护接口复位命令数量进行计数，并设置只读寄存器，共维护 and 核心读取。

注 1：如果芯片内部检查到进入芯片的维护命令包有错（校验错或格式错等等），则丢弃该包不加载，且加载地址保持不变，并向芯片外部返回错误响应，由外部进行重传。重传的最大次数由芯片外部确定。如果芯片内部正常完成命令包的加载，加载地址递增，并向芯片外部返回正常响应。

注 2：对于判断出的“重传”或“漏传”情况，只要该命令包没有检查到校验错或格式错，都会向芯片外部返回正常响应。

A.1.4.9 维护接口复位命令

执行维护接口复位命令，硬件自动对 1621 内部的维护控制部件的部分逻辑进行复位，便于处理维护命令超时等特殊情况，但对申威 1621 内部核心运行不产生直接影响。维护接口复位命令包的格式见表 A-15。

表 A-15：维护接口复位命令包

字节 0	2'b11	6'b110000
字节 1		8'b00000000
字节 2		8'b00000000
字节 3		8'b00000000
字节 4		8'b00000000
字节 5		8'b00000000
字节 6		8'b00000000
字节 7		8'b00000000

A.1.4.10 重新进行存储器自测试命令

重新存储器自测试是通过对 IOR: BIST_GOON 的写来实现。该寄存器只写，写该寄存器将触发申威 1621 内部重新进行存储器自测试。命令格式中的地址为该寄存器的地址。重新进行存储器自测试命令包的格式见表 A-16。

表 A-16：维护接口复位命令包

字节 0	2'b11	6'b100100
字节 1		地址[7:0]

字节 2	地址[15:8]
字节 3	地址[23:16]
字节 4	地址[31:24]
字节 5	地址[39:32]
字节 6	8'b00000000
字节 7	8'b00000000
字节 8	8'b00000000
字节 9	8'b00000000
字节 10	8'b00000000
字节 11	8'b00000000
字节 12	8'b00000000
字节 13	8'b00000000
字节 14	8'b00000000
字节 15	8'b00000000

A.1.4.11 Flash 块擦除

表 A-17: 块擦除

字节 0	11	6'b100100 (4K/32K/64K 字节擦除)
字节 1		地址 [7:0]
字节 2		地址 [15:8]
字节 3		地址 [23:16]
字节 4		地址 [31:24]
字节 5		地址 [39:32]
字节 6		00000000
字节 7		00000000
字节 8		数据 0
	
字节 7+n		数据 n-1(n=8)

维护命令携带的地址表示 I0 寄存器地址，4K/32K/64K 字节擦除分别对应三个寄存器，写数据对应 4K/32K/64K 字节擦除所对应的 Flash 地址（该地址是 Flash 域地址，**假设 Flash 的第 2 个 8B 位，即 Flash 域地址 0x8，该写数据内容就为 0x8**）。写相应的三个寄存器将触发 4K/32K/64K 字节擦

除操作。擦除后，该 Flash 块内容为全 1。

A.1.4.11 Flash 全片擦除

表 A-18: Flash 全片擦除

字节 0	11	6'b100100
字节 1		地址 [7:0]
字节 2		地址 [15:8]
字节 3		地址 [23:16]
字节 4		地址 [31:24]
字节 5		地址 [39:32]
字节 6		00000000
字节 7		00000000
字节 8		数据 0
	
字节 7+n		数据 n-1(n=8)

维护命令携带的地址表示 I0 寄存器地址，全片擦除对应一个寄存器，写数据没有意义（全片擦除不需要 Flash 地址）。写该寄存器将触发全片擦除操作。擦除后，Flash 内容为全 1。

A.2 维护响应

A.2.1 维护响应包格式

申威 1621 处理维护命令，产生维护响应，从维护接口发出的维护响应包（即维护命令处理结果）的格式见表 A-19。

表 A-19: 维护响应包

字节 0	11	响应编码[5:0]
字节 1		数据长度（字节数，只有 0x00、0x08 和 0x80 三种）
字节 2		数据字节 0
	
字节 1+n		数据字节 n-1

A.2.2 维护响应编码

申威 1621 支持 11 种维护响应，具体的响应编码如表 A-20 所示。

表 A-20: 维护响应编码及含义

编号	维护响应	编码[7:6]	编码[5:0]	备注
1	带数据读响应 (正常读)	固定为 2'b11	6'b000000	带数据 (1024 位或 64 位)，具体 如下： 读存储器：1024 位； 读寄存器是：64 位； 读监测信息或扫出：1024 位。
2	带数据读响应 (含有 ECC 多错)		6'b001000	
3	带数据读响应 (含有控制错)		6'b010000	
4	非法地址读响应		6'b000001	不带数据
5	写结束		6'b000010	
6	非法地址写结束		6'b000011	
7	带控制错写结束		6'b001011	
8	串行维护接口偶校验 错响应		6'b000100	
9	串行维护接口非法维 护命令响应		6'b000101	
10	对应接口关闭错误响 应		6'b100000	
11	串行处理错误响应		6'b101011	
	保留	其它		

A.2.3 有数据维护响应

读类命令处理返回有数据的维护响应（非法地址读响应没有数据），根据不同的读类命令，返回不同数据长度的维护响应，其中存储器读命令的响应数据长度为 1 个 Cache 行（128 字节），I/O 寄存器读命令的响应数据长度为 8 字节，读状态链命令的响应数据长度为 1024 位。有数据维护响应的格式见表 A-21。

表 A-21: 有数据维护响应命令包

字节 0	11	000000/000001
------	----	---------------

字节 1	数据长度（字节数，只有 0x00、0x08 和 0x80 三种）
字节 2	数据字节 0

字节 1+n	数据字节 n-1

A.2.4 无数据维护响应

这类响应不包含响应数据，包括写结束响应、写错误响应、校验错响应、非法命令响应和非法地址读响应，无数据维护响应包的格式见表 A-22。

表 A-22：无数据维护响应包

字节 0	11	命令编码[5:0]
字节 1	数据长度（0）	

附录 B 边界扫描链说明

B.1 GPIO BSR 链说明

表 B-1: GPIO BSR 链说明

链位置	端口名称	端口属性	端口描述
59	INIT_MODE_H<0>	in	
58	INIT_MODE_H<1>	in	
57	MT_TX_H	out	
56	MT_RX_H	in	
55	STAT_OUT_L<0>	out	
54	STAT_OUT_SEL_L<0>	in	
53	STAT_OUT_L<1>	out	
52	STAT_OUT_SEL_L<1>	in	
51	STAT_OUT_L<2>	out	
50	STAT_OUT_L<3>	out	
49	RESET_L	in	
48	STAT_OUT_L<4>	out	
47	NMI_L	in	
46	WAKEUP_L	in	
45	SS_N	in	
44	SCK_H	in	
43	Spare1_EN	En	
42	Spare1	Inout-in	
41	Spare1	Inout-out	
40	Spare2_EN	En	
39	Spare2	Inout-in	
38	Spare2	Inout-out	
37	SDA_OUT_EN	En	
36	SDA	Inout-in	
35	SDA	Inout-out	

34	SCL_OUT_EN	En	
33	SCL	Inout-in	
32	SCL	Inout-out	
31	Spare3_EN	En	
30	Spare3	Inout-in	
29	Spare3	Inout-out	
28	MOSI_H	In	
27	MISO_H	out	
26	MT_CLK_H	in	
25	CHIP_MODE_H<0>	in	
24	CHIP_MODE_H<1>	in	
23	CHIP_MODE_H<2>	in	
22	Spare6_EN	En	
21	Spare6	Inout-in	
20	Spare6	Inout-out	
19	CFG_SEL_L<1>	in	
18	CFG_XBX_H<2>	in	
17	CFG_XBX_H<1>	in	
16	CFG_XBX_H<0>	in	
15	CFG_SEL_L<0>	in	
14	CFG_MM_H<2>	in	
13	DCOK_H	in	
12	CFG_MM_H<1>	in	
11	CFG_MM_H<0>	in	
10	Spare5_EN	En	
9	Spare5	Inout-in	
8	Spare5	Inout-out	
7	CFG_CORE_H<3>	in	
6	CFG_CORE_H<2>	in	
5	CFG_CORE_H<1>	in	
4	CFG_CORE_H<0>	in	
3	Spare4_EN	En	

2	Spare4	Inout-in	
1	Spare4	Inout-out	

B.2 PCI-E BSR 链说明

申威 1621 共有 2 个 PCI-E 接口，每个 PCI-E 接口有 2 个 PHY。每个 PCI-E 接口将两个 PHY 的 BSR 串为一条链，从 JTAG 的角度看，每个 PCI-E 接口只有一条 BSR 链。每个 PCI-E 接口的 BSR 链顺序如下：

表 B-2: PCI-E BSR 链说明

链位置	端口名称	端口属性	端口描述
24	PCIEx_tx_p[0]	输出	差分输出。
23	PCIEx_rx_p[0]	输入	差分输入。
22	PCIEx_rx_m[0]	输入	差分输入。
21	PCIEx_tx_p[1]	输出	差分输出。
20	PCIEx_rx_p[1]	输入	差分输入。
19	PCIEx_rx_m[1]	输入	差分输入。
18	PCIEx_tx_p[2]	输出	差分输出。
17	PCIEx_rx_p[2]	输入	差分输入。
16	PCIEx_rx_m[2]	输入	差分输入。
15	PCIEx_tx_p[3]	输出	差分输出。
14	PCIEx_rx_p[3]	输入	差分输入。
13	PCIEx_rx_m[3]	输入	差分输入。
12	PCIEx_tx_p[4]	输出	差分输出。
11	PCIEx_rx_p[4]	输入	差分输入。
10	PCIEx_rx_m[4]	输入	差分输入。
9	PCIEx_tx_p[5]	输出	差分输出。
8	PCIEx_rx_p[5]	输入	差分输入。
7	PCIEx_rx_m[5]	输入	差分输入。
6	PCIEx_tx_p[6]	输出	差分输出。
5	PCIEx_rx_p[6]	输入	差分输入。
4	PCIEx_rx_m[6]	输入	差分输入。

3	PCIEx_tx_p[7]	输出	差分输出。
2	PCIEx_rx_p[7]	输入	差分输入。
1	PCIEx_rx_m[7]	输入	差分输入。

B.3 DDR3 BSR 链说明

申威 1621 集成了八个存储控制器。每个 DDR3 存储控制器包括控制器和 PHY。每个 PHY 的 BSR 链具体如下：

表 B-3: DDR3 BSR 链说明

链位置	端口名称	端口属性	意义
150	dto[0]	输出	DTO 引脚。
149	dto[1]	输出	DTO 引脚。
148	ram_rst_n	输出	复位信号。
147	ck[0]	输出	时钟。
146	ck[1]	输出	时钟。
145	ck_n[0]	输出	时钟。
144	ck_n[1]	输出	时钟。
143	cke[0]	输出	CKE。
142	cke[1]	输出	CKE。
141	cke[2]	输出	CKE。
140	cke[3]	输出	CKE。
139	odt[0]	输出	ODT。
138	odt[1]	输出	ODT。
137	odt[2]	输出	ODT。
136	odt[3]	输出	ODT。
135	cs_n[0]	输出	CS_N。
134	cs_n[1]	输出	CS_N。
133	cs_n[2]	输出	CS_N。
132	cs_n[3]	输出	CS_N。
131	ras_n	输出	RAS_N。
130	cas_n	输出	CAS_N。

129	we_n	输出	WE_N。
128	ba[0]	输出	BA 地址。
127	ba[1]	输出	BA 地址。
126	ba[2]	输出	BA 地址。
125	a[0]	输出	A 地址。
124	a[1]	输出	A 地址。
123	a[2]	输出	A 地址。
122	a[3]	输出	A 地址。
121	a[4]	输出	A 地址。
120	a[5]	输出	A 地址。
119	a[6]	输出	A 地址。
118	a[7]	输出	A 地址。
117	a[8]	输出	A 地址。
116	a[9]	输出	A 地址。
115	a[10]	输出	A 地址。
114	a[11]	输出	A 地址。
113	a[12]	输出	A 地址。
112	a[13]	输出	A 地址。
111	a[14]	输出	A 地址。
110	a[15]	输出	A 地址。
109	error_out	输入	error_out#
108	dq[0]	双向	dq[0]。
107	dq[1]	双向	dq[1]。
106	dq[2]	双向	dq[2]。
105	dq[3]	双向	dq[3]。
104	dq[4]	双向	dq[4]。
103	dq[5]	双向	dq[5]。
102	dq[6]	双向	dq[6]。
101	dq[7]	双向	dq[7]。
100	*		dq[7:0]的输出使能。
99	dqs[0]	双向	dqs[0]。
98	dqs_n[0]	双向	dqs_n[0]。

97	*		dqs[0]和 dqs_n[0]的输出使能。
96	dq[8]	双向	dq[8]。
95	dq[9]	双向	dq[9]。
94	dq[10]	双向	dq[10]。
93	dq[11]	双向	dq[11]。
92	dq[12]	双向	dq[12]。
91	dq[13]	双向	dq[13]。
90	dq[14]	双向	dq[14]。
89	dq[15]	双向	dq[15]。
88	*		dq[15:8]的输出使能。
87	dqs[1]	双向	dqs[1]。
86	dqs_n[1]	双向	dqs_n[1]。
85	*		dqs[1]和 dqs_n[1]的输出使能。
84	dq[16]	双向	dq[16]。
83	dq[17]	双向	dq[17]。
82	dq[18]	双向	dq[18]。
81	dq[19]	双向	dq[19]。
80	dq[20]	双向	dq[20]。
79	dq[21]	双向	dq[21]。
78	dq[22]	双向	dq[22]。
77	dq[23]	双向	dq[23]。
76	*		dq[23:16]的输出使能。
75	dqs[2]	双向	dqs[2]。
74	dqs_n[2]	双向	dqs_n[2]。
73	*		dqs[2]和 dqs_n[2]的输出使能。
72	dq[24]	双向	dq[24]。
71	dq[25]	双向	dq[25]。
70	dq[26]	双向	dq[26]。
69	dq[27]	双向	dq[27]。
68	dq[28]	双向	dq[28]。
67	dq[29]	双向	dq[29]。
66	dq[30]	双向	dq[30]。

65	dq[31]	双向	dq[31]。
64	*		dq[31:24]的输出使能。
63	dqs[3]	双向	dqs[3]。
62	dqs_n[3]	双向	dqs_n[3]。
61	*		dqs[3]和 dqs_n[3]的输出使能。
60	dq[32]	双向	dq[32]。
59	dq[33]	双向	dq[33]。
58	dq[34]	双向	dq[34]。
57	dq[35]	双向	dq[35]。
56	dq[36]	双向	dq[36]。
55	dq[37]	双向	dq[37]。
54	dq[38]	双向	dq[38]。
53	dq[39]	双向	dq[39]。
52	*		dq[39:32]的输出使能。
51	dqs[4]	双向	dqs[4]。
50	dqs_n[4]	双向	dqs_n[4]。
49	*		dqs[4]和 dqs_n[4]的输出使能。
48	dq[40]	双向	dq[40]。
47	dq[41]	双向	dq[41]。
46	dq[42]	双向	dq[42]。
45	dq[43]	双向	dq[43]。
44	dq[44]	双向	dq[44]。
43	dq[45]	双向	dq[45]。
42	dq[46]	双向	dq[46]。
41	dq[47]	双向	dq[47]。
40	*		dq[47:40]的输出使能。
39	dqs[5]	双向	dqs[5]。
38	dqs_n[5]	双向	dqs_n[5]。
37	*		dqs[5]和 dqs_n[5]的输出使能。
36	dq[48]	双向	dq[48]。
35	dq[49]	双向	dq[49]。
34	dq[50]	双向	dq[50]。

33	dq[51]	双向	dq[51]。
32	dq[52]	双向	dq[52]。
31	dq[53]	双向	dq[53]。
30	dq[54]	双向	dq[54]。
29	dq[55]	双向	dq[55]。
28	*		dq[55:48]的输出使能。
27	dqs[6]	双向	dqs[6]。
26	dqs_n[6]	双向	dqs_n[6]。
25	*		dqs[6]和 dqs_n[6]的输出使能。
24	dq[56]	双向	dq[56]。
23	dq[57]	双向	dq[57]。
22	dq[58]	双向	dq[58]。
21	dq[59]	双向	dq[59]。
20	dq[60]	双向	dq[60]。
19	dq[61]	双向	dq[61]。
18	dq[62]	双向	dq[62]。
17	dq[63]	双向	dq[63]。
16	*		dq[63:56]的输出使能。
15	dqs[7]	双向	dqs[7]。
14	Dqs_n[7]	双向	dqs_n[7]。
13	*		dqs[7]和 dqs_n[7]的输出使能。
12	dq[64]	双向	dq[64]。
11	dq[65]	双向	dq[65]。
10	dq[66]	双向	dq[66]。
9	dq[67]	双向	dq[67]。
8	dq[68]	双向	dq[68]。
7	dq[69]	双向	dq[69]。
6	dq[70]	双向	dq[70]。
5	dq[71]	双向	dq[71]。
4	*		dq[71:64]的输出使能。
3	dqs[8]	双向	dqs[8]。
2	dqs_n[8]	双向	dqs_n[8]。

1	*		dqs[8]和 dqs_n[8]的输出使能。
---	---	--	------------------------