



SUNWAY 申威

申威 421M_221 系统开发板 使用维护说明书

2018 年 5 月

成都申威科技有限责任公司



免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因档使用不当造成的直接或间接损失，本公司不承担任何责任。

成都申威科技有限责任公司

Chengdu Sunway Technology Corporation Limited

地址：成都市华府大道四段电子科大科技园 D22 栋

Building D22, National University Science and technology park,
Section 4, Huafu Avenue, Chengdu

Mail: sales@swcpu.cn

Tel : 028-68769016

Fax: 028-68769019



阅读指南

《申威 421M_221 系统开发板使用维护说明书》主要描述了申威 421M、申威 221 处理器的性能接口、电气指标、环境指标、系统功能接口、安装拆卸、包装运输贮存要求等内容。

文档修订

文档更新记录	文档名	申威 421M_221 系统开发板使用维护说明书
	版本号	V1.0
	创建人	研发部
	创建日期	2018-5-8

版本更新

版本号	更新内容	更新日期
V1.0	初稿	2018-5-8

技术支持

可通过邮箱或问题反馈网站向我司提交产品使用的问题，并获取技术支持。

售后服务邮箱：sales@swcpu.cn

问题反馈网址：<http://www.swcpu.cn/>

目 录

1. 概述	1
1.1 性能及接口	1
1.2 结构指标	2
1.3 电气指标	2
1.3.1 供电电压	2
1.3.2 纹波	2
1.3.3 功耗	2
1.3.4 RTC 功耗	2
1.4 环境指标	2
1.4.1 温度	2
1.4.2 湿度	2
2. 系统功能接口	3
2.1 功能框图	3
2.2 I/O 接口摘要	3
2.3 开发板实物图	4
2.4 开发板布局图	6
2.5 开发板部件说明	7
2.6 PS/2 接口	8
2.7 串口	8
2.8 网口	9
2.9 USB 接口	9
2.10 SATA 接口	10
2.11 音频接口	10
2.12 PCIE 接口	11
2.13 VGA 接口	12
2.14 DVI 接口	13
2.15 LVDS 接口	13
2.16 ATX 电源接口	14
2.17 内存插槽	15
2.18 风扇接口	15
2.19 前面板接口	15
2.20 电源按键接口	16
2.21 复位按键接口	16
2.22 CPU 维护测试接口	16
2.23 CPLD 程序下载接口	17
2.24 CPU 核心数配置接口	17
3. 安装与拆卸	18
3.1 安全要求	18
3.2 安装	18

4. 包装、运输和贮存.....	19
4.1 包装.....	19
4.2 运输.....	19
4.3 贮存.....	19

1. 概述

申威 SW421M/221 系统开发板采用申威处理器 SW421M/221 作为核心处理单元，为 64 位字长的国产高性能通用处理器，单芯片集成了 4/2 个 64 位 RISC 结构的申威处理器核心、64 位 DDR3 存储控制器和 1 路 PCI-E 3.0 标准 I/O 接口，主频最大可达 2.0GHz。

开发板采用标准 MicroATX 结构形式，通过第二代申威安全 IO 套片 ICH2 扩展引出了 USB、VGA/DVI/LVDS、SATA 和以太网等标准接口。其处理计算性能强、可靠性高，控制通信功能卓越，可用于办公系统、网络通信、数据中心、轨道交通等控制领域。

1.1 性能及接口

CPU
SW421M/221, 4/2 核, 64 位字长, 主频最大为 2.0GHz
内存
1 个 DDR3 DIMM 插槽, 支持商用 DDR3 1600 DIMM, 最大支持 32GB (单根最大 32GB)
显存
板载 2GB DDR3 显存
PS/2 接口
标准 PS/2 键盘鼠标接口各一个
串行接口
1 个标准 DB9 RS232 串口
网络接口
2x 10/100/1000 自适应以太网接口
显示接口
2xVGA、1xDVI 和 1xLVDS 接口
USB 接口
4 x USB3.0 接口 (2 路板载、2 路由插座引出)
SATA 接口
3x SATA3.0 接口
音频接口
2 个音频接口 (1 路板载, 1 路由插座引出)
PCIE 总线接口
1 x PCIE (x16) 插槽, 为 PCIE (x8) Gen2 信号
1 x PCIE (x 8) 插槽, 为 PCIE (x8) Gen2 信号
其他
RTC 时钟, 风扇智能调速, 硬件监测 (温度、风扇等方面)
系统
Linux 国产操作系统

1.2 结构指标

- 板卡尺寸：244mm（长）x244mm（宽）；
- PCB板厚：2mm；

1.3 电气指标

1.3.1 供电电压

标准ATX（24芯）及ATX（4芯）电源供电，包含以下几种电压类型：

- +12V DC \pm 5%；
- +5V DC \pm 5%；
- +5V DC (StandBy) \pm 5%；
- +3.3V DC \pm 5%；
- -12V DC \pm 5%；

1.3.2 纹波

- 最大纹波：100 mV peak to peak, 0 - 20 MHz @ \pm 12V；
- 最大纹波：50 mV peak to peak, 0 - 20 MHz @其余电压；

1.3.3 功耗

- 开发板的最大功耗：< 50W；
- 开发板的典型功耗：SW421M@33W@1.8GHz；SW221@26W@1.8GHz；

1.3.4 RTC 功耗

- 小于1uA @ 3VDC；

1.4 环境指标

1.4.1 温度

- 工作温度：分为A：0°C ~ 50°C；B：-25°C ~ +60°C两档可选；
- 存储温度：-55°C ~ +85°C；

1.4.2 湿度

- 工作湿度：10% ~ 90%；
- 存储湿度：5% ~ 95%；

2. 系统功能接口

2.1 功能框图

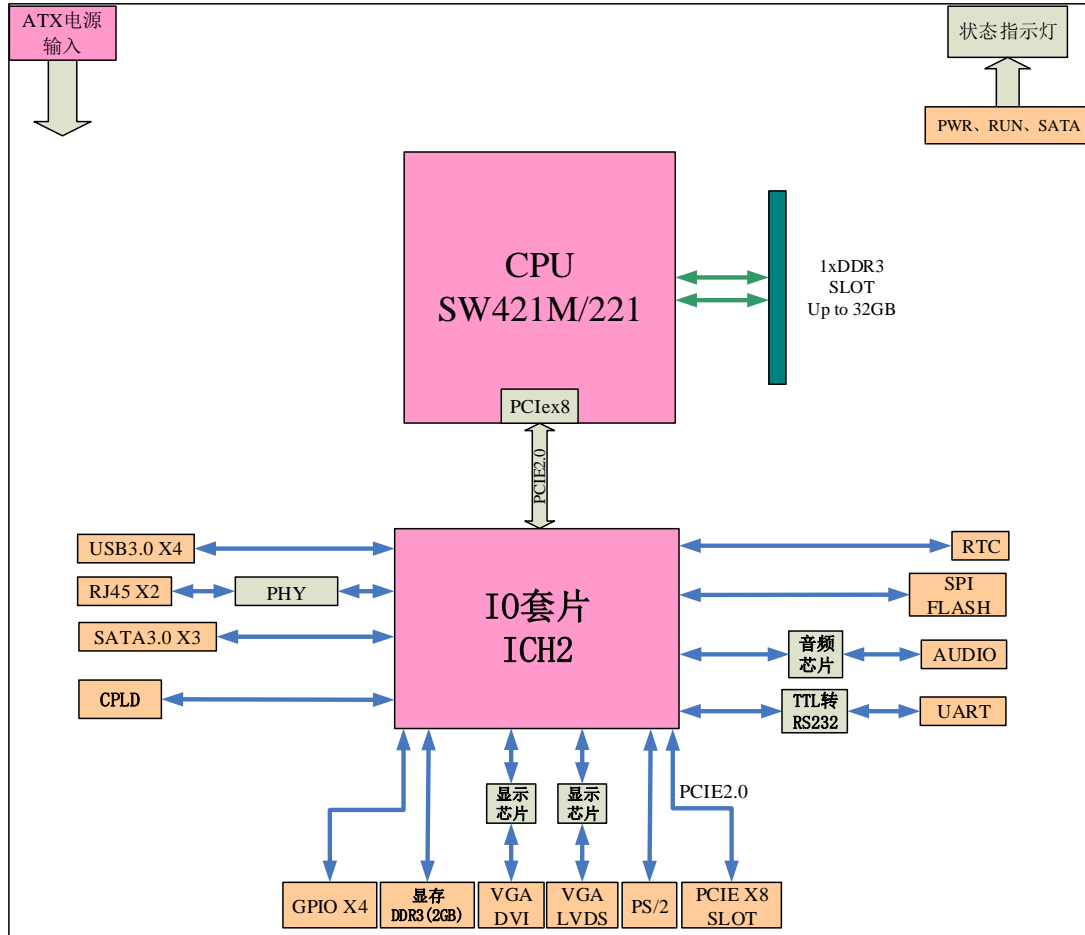


图 2.1: 功能框图

2.2 I/O 接口摘要

表 2.1: SW421M/221_ ICH2_EVAL I/O 接口摘要

接口	Front I/O 前出	Onboard 板载(后出)接口	Total 合计
PS/2	-	1	1
串口	-	1	1
网口	-	2	2
USB3.0	2	2	4
SATA3.0	-	3	3
音频	1	1	2
PCIE	-	2	2
VGA	-	2	2
DVI	-	1	1

LVDS	-	1	1
ATX24 电源插座	-	1	1
ATX4 电源插座	-	1	1
内存插槽	-	1	1
风扇接口	-	4	4

2.3 开发板实物图

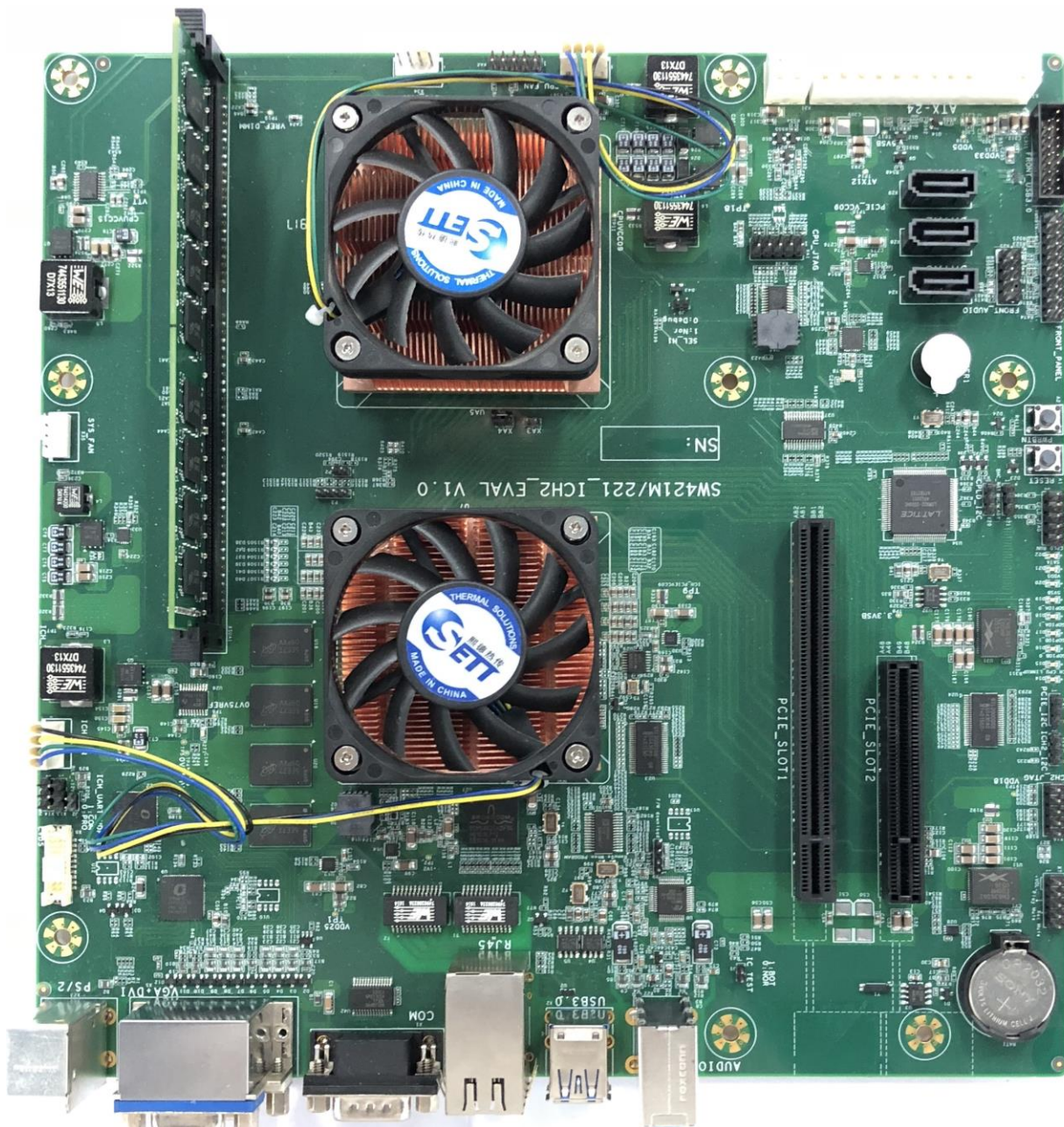


图 2.2: 开发板 TOP 面带散热风扇实物图

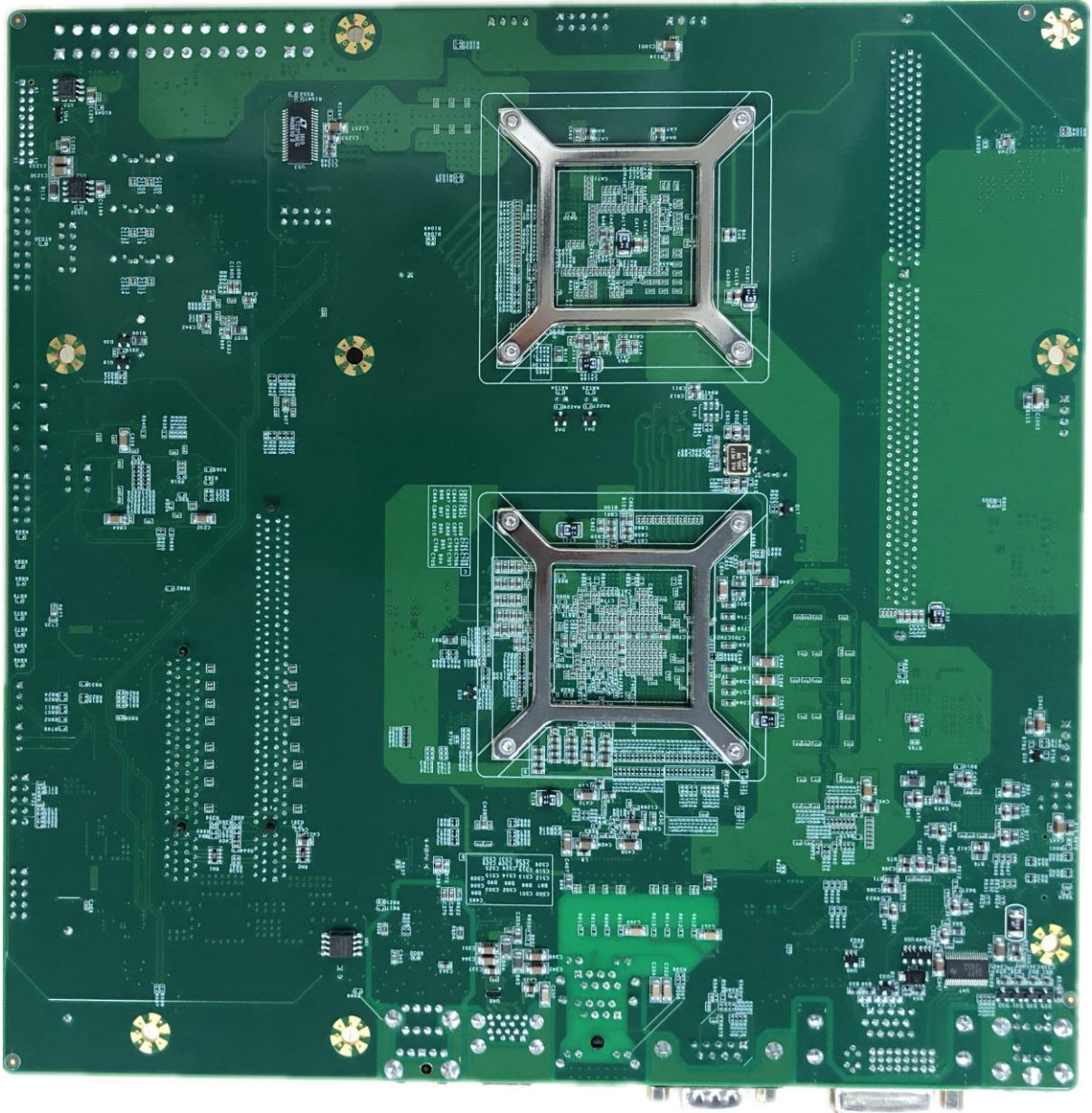


图 2.3: 开发板 BOTTOM 面带散热风扇实物图

2.4 开发板布局图

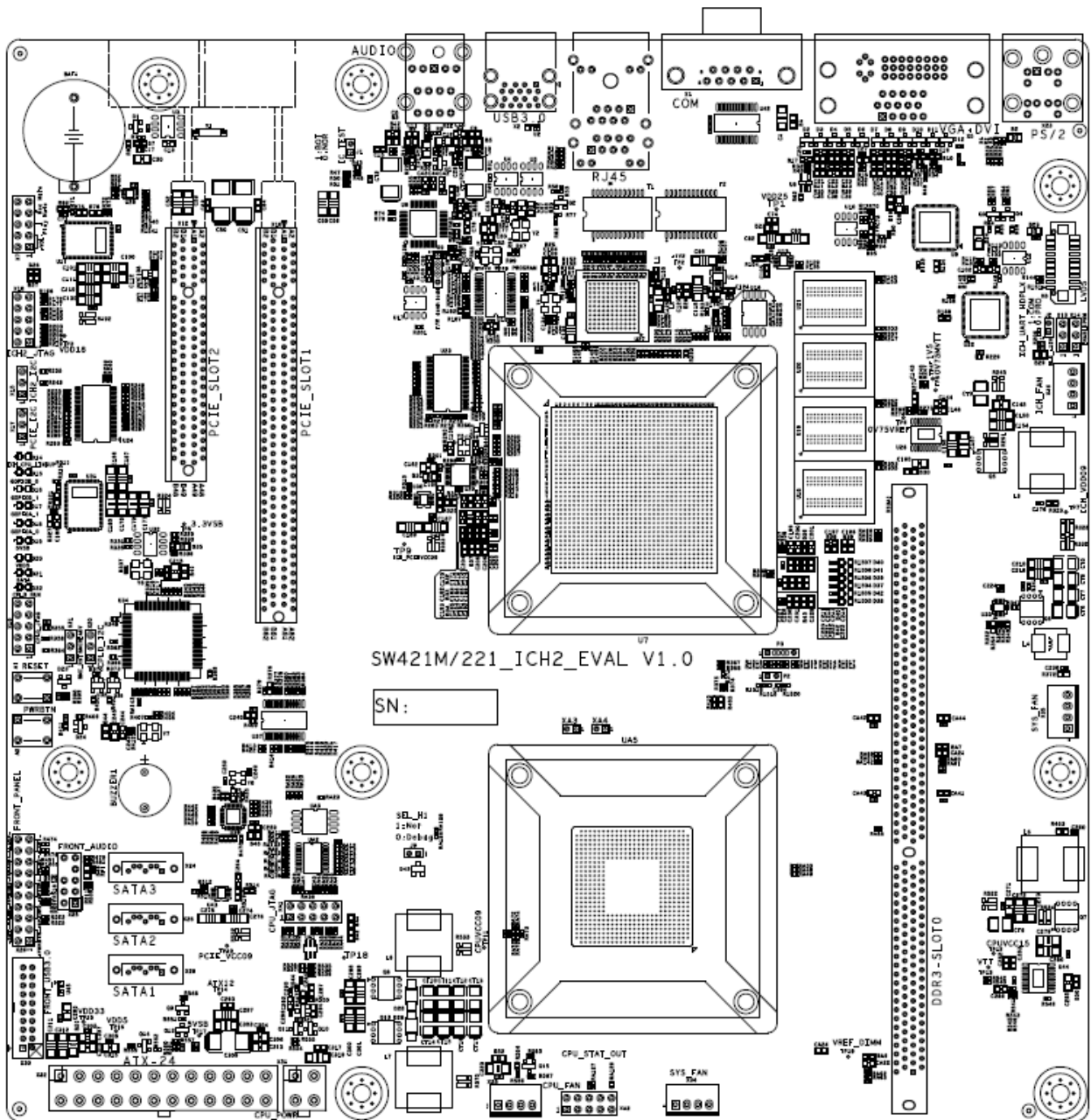


图 2.4: 开发板布局图

2.5 开发板部件说明

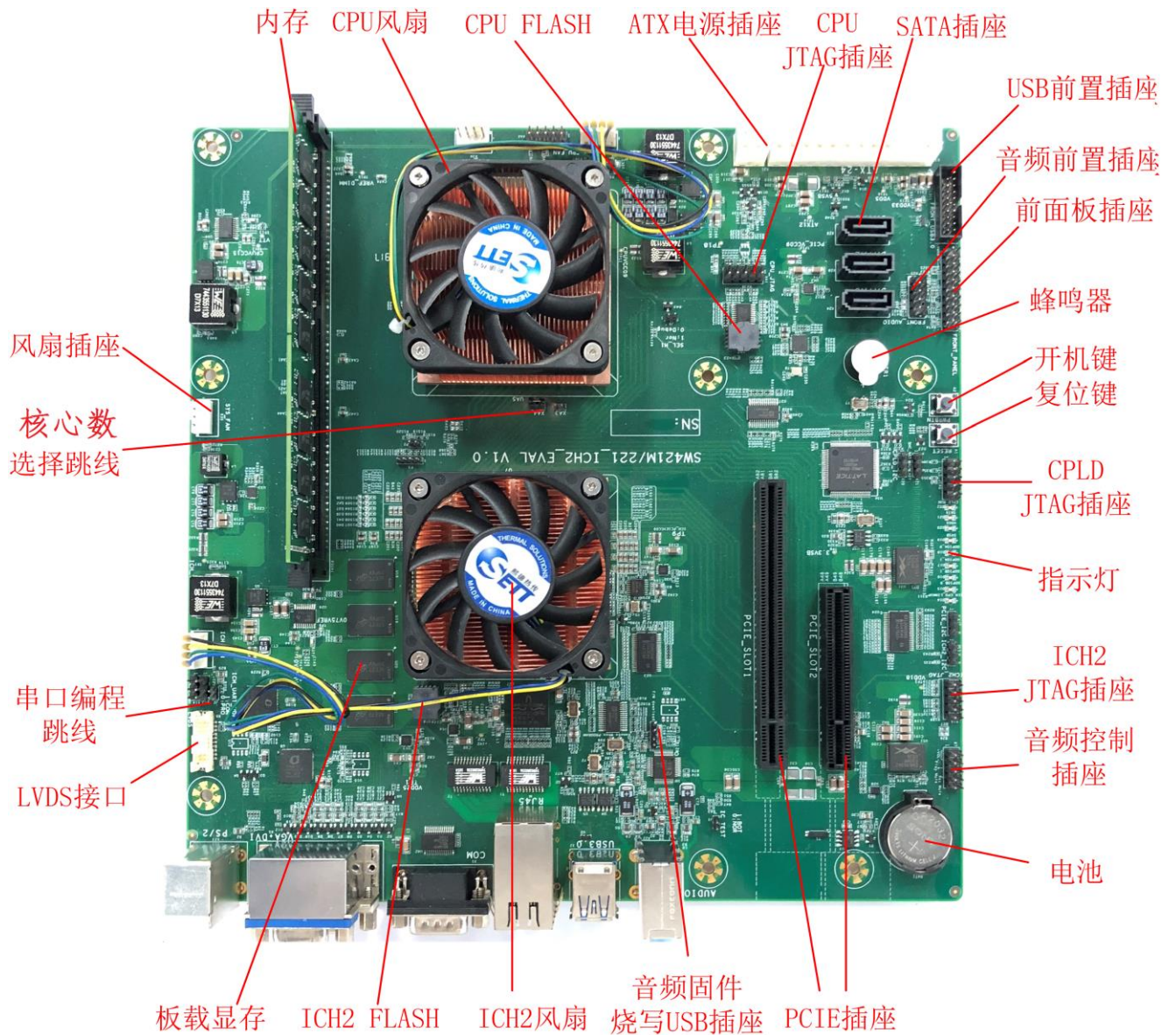
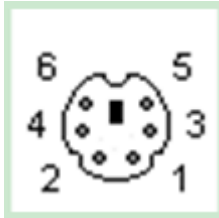


图 2.5: 开发板部件说明图

2.6 PS/2 接口

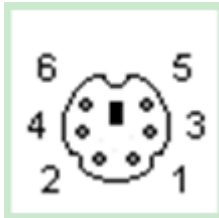
开发板提供 PS/2 鼠标&键盘接口各一个(鼠标绿色, 键盘紫色), 连接器 (双层 PS/2) 位号为: X23, 信号定义如下:

表 2.2: PS/2 KB (键盘) 接口信号定义(X23)



Pin	信号定义	备注
1	PS2_KBDATA	键盘数据
2	NC	不连接
3	GND	PS2 信号地
4	VCC_5V	PS2 电源, +5V
5	PS2_KBCLK	键盘时钟
6	NC	不连接

表 2.3: PS/2 MS (鼠标) 接口信号定义(X23)

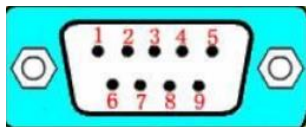


Pin	信号定义	备注
1	NC	不连接
2	PS2_MSDATA	鼠标数据
3	GND	PS2 信号地
4	VCC_5V	PS2 电源, +5V
5	NC	不连接
6	PS2_MSCLK	鼠标时钟

2.7 串口

开发板提供 1 路板载标准 RS232 全信号串口, 连接器位号为: X1, 通过 DB9 公头连接器引出, 串口信号定义如下表:

表 2.4: 串口信号定义(X1)

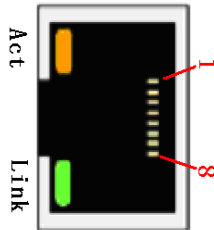


Pin	信号定义	备注
1	DCD	载波检测
2	RX	接收数据
3	TX	发送数据
4	DTR	数据终端准备好
5	GND	信号地
6	DSR	数据准备好
7	RTS	请求发送
8	CTS	清除发送
9	RI	振铃

2.8 网口

开发板提供两路板载 10M/100M/1000M 自适应网络接口，连接器（双层立式 RJ45）位号为：X6，其信号定义如下：

表 2.5：两路网口信号定义 (X6)



Pin	信号定义	备注
1	ETH_TD+	发送数据+
2	ETH_TD-	发送数据-
3	ETH_RD+	接收数据+
4	ETH_MC+	双向数据+
5	ETH_MC-	双向数据-
6	ETH_RD-	接收数据-
7	ETH_MD+	双向数据+
8	ETH_MD-	双向数据-

2.9 USB 接口

开发板提供 4 路 USB3.0 接口，两路板载，连接器位号为：X2；两路通过双排直针（2*10, 2.0mm 间距）引出，连接器位号为：X30。

前出 USB 连接器信号定义如下：

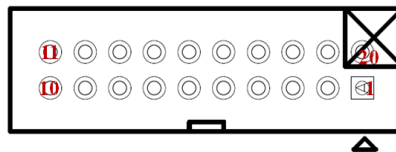


表 2.6：USB0、1接口信号定义 (X30)

管脚	信号定义	备注	管脚	信号定义	备注
1	VCC_5V	USB0 电源	11	USB1+	USB1 数据正
2	USB0_RX-	USB0 接收差分信号对	12	USB1-	USB1 数据负
3	USB0_RX+		13	GND	地
4	GND	地	14	USB0_TX+	USB1 发送差分信号对
5	USB0_TX-	USB0 发送差分信号对	15	USB0_TX-	
6	USB0_TX+		16	GND	地
7	GND	地	17	USB0_RX+	USB1 接收差分信号对
8	USB0-	USB0 数据负	18	USB0_RX-	
9	USB0+	USB0 数据正	19	VCC_5V	USB1 电源
10	NC	无连接	20	NoPin	无接脚

板载 USB 连接器信号定义如下：

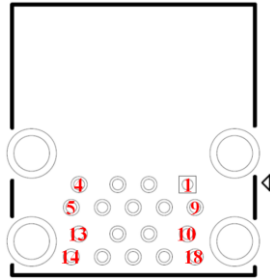


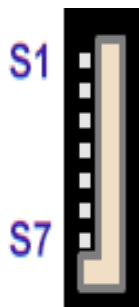
表 2.7: USB2、3接口信号定义(X2)

管脚	信号定义	备注	管脚	信号定义	备注
1	VCC_5V	USB2 电源	10	VCC_5V	USB3 电源
2	USB2-	USB2 数据负	11	USB3-	USB3 数据负
3	USB2+	USB2 数据正	12	USB3+	USB3 数据正
4	GND	地	13	GND	地
5	USB2_RX-	USB2 接收差分信号对	14	USB3_RX-	USB3 接收差分信号对
6	USB2_RX+		15	USB3_RX+	
7	GND	地	16	GND	地
8	USB2_TX-	USB2 发送差分信号对	17	USB3_TX-	USB3 发送差分信号对
9	USB2_TX+		18	USB3_TX+	

2.10 SATA 接口

开发板提供三路板载 SATA 数据（7pin）接口，连接器位号分别为：X24、X28、X29，其信号定义如下：

表 2.8: SATA接口信号定义(X24、X28、X29)



Pin	信号定义	备注
S1	GND	信号地
S2	SATA_TX+	差分发送端+
S3	SATA_TX-	差分发送端-
S4	GND	信号地
S5	SATA_RX-	差分接收端-
S6	SATA_RX+	差分接收端+
S7	GND	信号地

2.11 音频接口

开发板提供 2 路音频接口，一路板载，连接器位号为：X22；一路通过双排直针（2*5, 2.54mm 间距）引出，连接器位号为 X25, 信号定义如下：

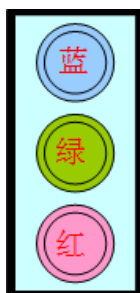
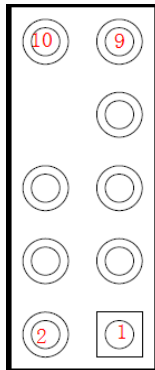


表 2.9:板载音频接口信号定义(X22)

Pin	接口定义	备注
蓝	-	-
绿	音频输出	模拟音频输出

红	MIC	麦克风输入
---	-----	-------

表 2.10: 前出音频接口信号定义 (X25)



Pin	信号定义	备注
1	MIC1	麦克风输入左声道
2	AGND	模拟地
3	MIC2	麦克风输入右声道
4	AGND	模拟地
5	LINE_OUT_R	右声道输出
6	AUDIO_GPIO_10	麦克风检测插入
7	AGND	模拟地
8	-	-
9	LINE_OUT_L	左声道输出
10	AUDIO_GPIO_11	耳机检测插入

2.12 PCIE 接口

开发板提供了一路 PCIE (x16) 接口, 为 PCIE (x8) Gen2 信号, 连接器位号为: X10; 一路 PCIE (x8) 接口, 为 PCIE (x8) Gen2 信号, 连接器位号为: X12, 其信号定义如下:



表 2.11: PCIE (x8) 连接器信号定义 (X10、X11、X12)

Pin	信号定义	备注	Pin	信号定义	备注
A1	NC	不连接	B1	VCC_12V	+12V 电源输入
A2	VCC_12V	+12V 电源输入	B2	VCC_12V	+12V 电源输入
A3	VCC_12V	+12V 电源输入	B3	NC	不连接
A4	GND	地	B4	GND	地
A5	NC	不连接	B5	SMCLK	系统管理总线时钟
A6	NC	不连接	B6	SMDAT	系统管理总线数据
A7	NC	不连接	B7	GND	地
A8	NC	不连接	B8	VCC_3.3V	+3.3V 电源输入
A9	VCC_3.3V	+3.3V 电源输入	B9	JTAG1	1K 下拉到地
A10	VCC_3.3V	+3.3V 电源输入	B10	VCC_3.3Vaux	+3.3V Standby 电源输入
A11	RST_IN#	PCIE 复位信号	B11	WAKE#	链接激活信号
A12	GND	地	B12	NC	不连接
A13	PCIE_CLK+	PCIE 差分信号对的参考时钟	B13	GND	地
A14	PCIE_CLK-		B14	PCIE_TX0+	PCIE_0 发送差分信号对
A15	GND	地	B15	PCIE_TX0-	
A16	PCIE_RX0+	PCIE_0 接收差分信号对	B16	GND	地
A17	PCIE_RX0-		B17	NC	不连接
A18	GND	地	B18	GND	地
A19	NC	不连接	B19	PCIE_TX1+	PCIE_1 发送差分信号对

A20	GND	地	B20	PCIE_TX1-	
A21	PCIE_RX1+	PCIE_1 接收差分信号对	B21	GND	地
A22	PCIE_RX1-		B22	GND	地
A23	GND	地	B23	PCIE_TX2+	PCIE_2 发送差分信号对
A24	GND	地	B24	PCIE_TX2-	
A25	PCIE_RX2+	PCIE_2 接收差分信号对	B25	GND	地
A26	PCIE_RX2-		B26	GND	地
A27	GND	地	B27	PCIE_TX3+	PCIE_3 发送差分信号对
A28	GND	地	B28	PCIE_TX3-	
A29	PCIE_RX3+	PCIE_3 接收差分信号对	B29	GND	地
A30	PCIE_RX3-		B30	NC	不连接
A31	GND	地	B31	NC	不连接
A32	NC	不连接	B32	GND	地
A33	NC	不连接	B33	PCIE_TX4+	PCIE_4 发送差分信号对
A34	GND	地	B34	PCIE_TX4-	
A35	PCIE_RX4+	PCIE_4 接收差分信号对	B35	GND	地
A36	PCIE_RX4-		B36	GND	地
A37	GND	地	B37	PCIE_TX5+	PCIE_5 发送差分信号对
A38	GND	地	B38	PCIE_TX5-	
A39	PCIE_RX5+	PCIE_5 接收差分信号对	B39	GND	地
A40	PCIE_RX5-		B40	GND	地
A41	GND	地	B41	PCIE_TX6+	PCIE_6 发送差分信号对
A42	GND	地	B42	PCIE_TX6-	
A43	PCIE_RX6+	PCIE_6 接收差分信号对	B43	GND	地
A44	PCIE_RX6-		B44	GND	地
A45	GND	地	B45	PCIE_TX7+	PCIE_7 发送差分信号对
A46	GND	地	B46	PCIE_TX7-	
A47	PCIE_RX7+	PCIE_7 接收差分信号对	B47	GND	地
A48	PCIE_RX7-		B48	NC	不连接
A49	GND	地	B49	GND	地

2.13 VGA 接口



开发板提供了一路后出 VGA 接口，连接器位号为：X5，其信号定义见下表

表 2.12: VGA 接口信号定义 (X5)

管脚	信号定义	备注	管脚	信号定义	备注
1	VGA_R	VGA 红色模拟信号	9	VCC_5VCRT	电源
2	VGA_G	VGA 绿色模拟信号	10	GND	地
3	VGA_B	VGA 蓝色模拟信号	11	NC	不连接

4	NC	不连接	12	VGA_SMDAT	SMBUS 数据信号
5	GND	地	13	VGA_HS	VGA 行同步信号
6	GND	地	14	VGA_VS	VGA 场同步信号
7	GND	地	15	VGA_SMCLK	SMBUS 时钟信号
8	GND	地	-	-	-

2.14 DVI 接口

开发板提供了一路后出 DVI-I 接口，连接器位号为：X5，其信号定义见下表

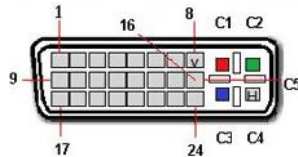


表 2.13: DVI 接口信号定义 (X5)

管脚	信号定义	备注	管脚	信号定义	备注
1	DVI_D2-	DVI 差分数据对 2	16	HP_DET	热插拔检测
2	DVI_D2+		17	DVI_D0-	DVI 差分数据对 0
3	GND	地	18	DVI_D0+	
4	NC	不连接	19	GND	地
5	NC	不连接	20	NC	不连接
6	DVI_SCLK	DVI SMBUS 时钟	21	NC	不连接
7	DVI_SDTA	DVI SMBUS 数据	22	GND	地
8	DVI_HS	模拟行同步	23	DVI_CLK+	DVI 差分时钟对
9	DVI_D1-	DVI 差分数据对 1	24	DVI_CLK-	
10	DVI_D1+			C1	DVI_R
11	GND	地	C2	DVI_G	DVI 绿色模拟信号
12	NC	不连接	C3	DVI_B	DVI 蓝色模拟信号
13	NC	不连接	C4	DVI_VS	模拟场同步
14	VCC_5V	+5V 电源	C5	AGND	模拟地
15	GND	地	-	-	-

2.15 LVDS 接口

开发板提供了一路板载 LVDS 显示接口，连接器位号为：X8，其信号定义见下表



表 2.14: LVDS 接口信号定义 (X8)

管脚	信号定义	备注	管脚	信号定义	备注
1	VDD33	+3.3V 电源	2	VDD33	+3.3V 电源
3	PWM	背光调节	4	GND	地

5	GND	地	6	RX00_P	LVDS 差分数据对 0
7	RX02_P	LVDS 差分数据对 2	8	RX00_N	
9	RX02_N		10	GND	地
11	GND	地	12	RX01_P	LVDS 差分数据对 1
13	RX0C_P	LVDS 差分时钟对	14	RX01_N	
15	RX0C_N		16	GND	地
17	GND	地	18	ATX12V	+12V 电源
19	ATX12V	+12V 电源	20	ENAVDD	使能 LCD 背光电源

开发板还提供与 LVDS 接口相关的电源接口和开关控制接口，连接器分别为 X13、X14，其信号定义分别见下表

表 2.15: LVDS 电源接口信号定义(X13)



Pin	信号定义	备注
1	ATX12V	+12V 电源
2	ATX12V	+12V 电源
3	GND	信号地

表 2.16: LVDS 控制接口信号定义(X14)



Pin	信号定义	备注
1	GND	信号地
2	ENABLK	背光开关信号，高有效
3	PWM	背光调节

2.16 ATX 电源

接口

开发板采用标准 ATX 电源供电，开发板有一个 ATX-24 PIN 电源接口，连接器位号为：X32，其信号定义见下表



表 2.17: ATX-24 接口信号定义(X32)

管脚	信号定义	备注	管脚	信号定义	备注
1	VCC_3V3	+3.3V 电源	13	VCC_3V3	+3.3V 电源
2	VCC_3V3	+3.3V 电源	14	VCC_-12V	-12V 电源
3	GND	地	15	GND	地
4	VCC_5V	+5V 电源	16	PS_ON	PS_ON 电源开关
5	GND	地	17	GND	地
6	VCC_5V	+5V 电源	18	GND	地
7	GND	地	19	GND	地
8	PWRGD	ATX 电源准备好信号	20	NC	不连接
9	VCC_5VSB	+5VStandby 电源	21	VCC_5V	+5V 电源
10	VCC_12V	+12V 电源	22	VCC_5V	+5V 电源
11	VCC_12V	+12V 电源	23	VCC_5V	+5V 电源
12	VCC_3V3	+3.3V 电源	24	GND	地

同时开发板采用 ATX-4 电源接口独立为 CPU 的核电源供电，该电源需要提供 12V 电源输入。开发板

使用时，ATX-24PIN 电源接口和 ATX-4 电源接口都要接入 ATX 电源。ATX-4 电源接口位号是 X31，其信号定义如下：



表 2.18: ATX-4 接口信号定义 (X31)

Pin	信号定义	备注
1	GND	信号地
2	GND	信号地
3	VCC_12V	+12V 电源
4	VCC_12V	+12V 电源

2.17 内存插槽

开发板提供两条板载内存插槽，连接器位号分别为：XSUA1，支持商用 DDR3 1600 DIMM，单根内存条最大容量支持 32GB，支持单 RANK、双 RANK 或四 Rank 的 DDR3 UDIMM 或 RDIMM 存储器条，支持带 ECC 校验的内存条。

2.18 风扇接口

开发板共提供 4 路风扇接口，分别给 CPU、ICH2 桥片风扇以及系统机箱风扇供电，连接器位号分别为：X33、X16、X34、X35。CPU 和 ICH2 风扇接口定义相同，机箱风扇插座 3、4 脚悬空，即不具有转速检测和调速功能，具体信号定义见下表：



表 2.19: CPU/ICH2 风扇接口信号定义 (X33、X16)

Pin	接口定义	备注
1	GND	地
2	VCC_12V	+12V 电源
3	FAN_TACH	转速检测
4	FAN_PWM	脉宽调速

2.19 前面板接口

通过双排直针（2*10, 2.54mm 间距）把开发板的电源键、复位键及几个指示灯引出到前面板，连接器位号为 X26，其信号定义如下表：

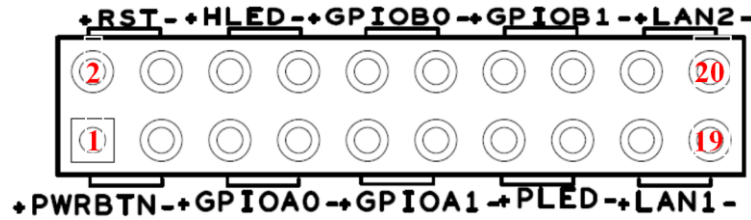


表 2.20: 前面板信号定义 (X26)

管脚	信号定义	备注	管脚	信号定义	备注
1	PWRBTN	电源键引脚	2	RESET	复位键引脚
3			4		
5	3.3VSB	+3.3V Standby 电源	6	HDD+	硬盘指示灯正极
7	GPIOA0	GPIO 口	8	HDD-	硬盘指示灯负极
9	3.3VSB	+3.3V Standby 电源	10	3.3VSB	+3.3V Standby 电源
11	GPIOA1	GPIO 口	12	GPIOB0	GPIO 口
13	PLED+	电源指示灯正极	14	3.3VSB	+3.3V Standby 电源
15	PLED-	电源指示灯负极	16	GPIOB1	GPIO 口
17	LAN1+	网络 1 指示灯正极	18	LAN2+	网络 2 指示灯正极
19	LAN1-	网络 1 指示灯负极	20	LAN2-	网络 2 指示灯负极

2.20 电源按键接口



开发板采用一个平式按钮作为开发板的电源按钮, 该按钮既能实现开发板开机功能也可以实现开发板强制关机功能, 其位号是 A2。

2.21 复位按键接口



开发板采用一个平式按钮作为开发板的复位按钮, 在系统运行的任何时刻, 按复位按钮均能复位重启系统, 其位号是 A1。

2.22 CPU 维护测试接口

开发板提供 JTAG 接口作为 CPU 的维护测试接口, 通过该接口可以访问 CPU 的内部资源以及配置内部寄存器, 其位号是 XA1, 其信号定义如下表:

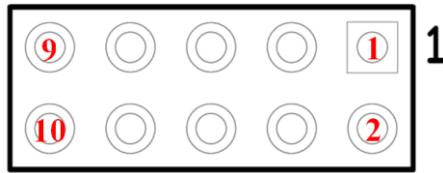


表 2.21: CPU 测试接口信号定义 (X27)

管脚	信号定义	备注	管脚	信号定义	备注
1	TCK	测试时钟	2	GND	地
3	TDO	测试数据输出	4	NC	不连接
5	TMS	测试模式选择	6	NC	不连接
7	NC	不连接	8	TRST	测试复位
9	TDI	测试数据输入	10	GND	地

2.23 CPLD 程序下载接口

开发板提供 JTAG 接口作为 CPLD 的程序下载接口，其位号是 X19，其信号定义如下表：

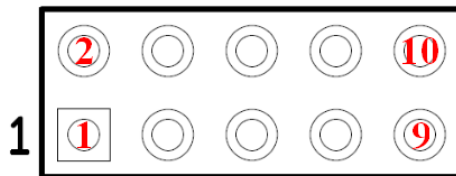
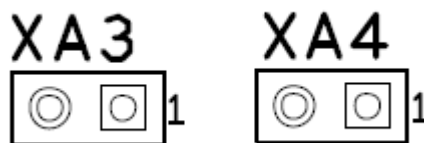


表 2.22: CPLD 程序下载接口信号定义 (X19)

管脚	信号定义	备注	管脚	信号定义	备注
1	TCK	测试时钟	2	GND	地
3	TMS	测试模式选择	4	GND	地
5	TDI	测试数据输入	6	3.3VSB	+3.3V Standby 电源
7	TDO	测试数据输出	8	GND	地
9	NC	不连接	10	NC	不连接

2.24 CPU 核心数配置接口

SW421M 和 SW221 处理器可通过 DUAL_CORE_H[1:0]管脚配置其工作的核心数,这两个管脚在板上默认拉高, 值为 2'b11, CPU 配置为单核; 可通过跳线帽拉低管脚配置为其他值, 其中 DUAL_CORE_H[1]通过 XA4 配置, DUAL_CORE_H[0]通过 XA3 配置。DUAL_CORE_H[1:0]具体配置参数与 CPU 核心数对于关系如下:



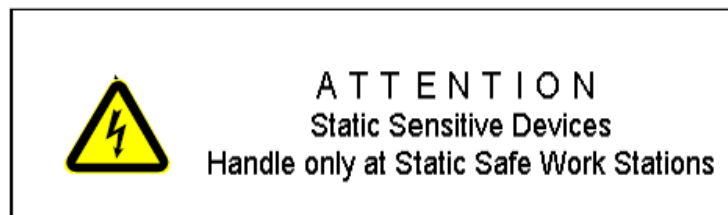
芯片模式。
合法配置为 1/2/3。
1 为四核配置；
2 为双核配置；
3 为单核配置。

注：SW221 最多只能配置成双核模式，如配成 4 核模式会使系统无法启动。

3. 安装与拆卸

3.1 安全要求

在对开发板进行安装或操作时必须遵循下列安全注意事项，本公司不会对因违背这些安全要求而导致的任何损失承担责任。



注意：

- ① 请不要在没有断电时插拔开发板上的板卡和插头，因为这样做将有可能对您的身体或健康造成伤害，也有可能造成系统板损坏或系统损坏。
- ② 电子器件及设备属于静电敏感设备，请遵循如下防静电措施：
 - a) 在触摸系统之前请释放衣物静电；
 - b) 在使用工具之前请释放工具上的静电；
 - c) 请勿触摸元器件、连接器引脚、PCB 板的走线；
 - d) 如果在带专业防静电设备的工作台上操作，请不要忘记开启防静电设备。

3.2 安装

在开发板、电缆与 PCI-E 等设备进行连接时必须保证系统板和电缆另一端的被连接设备处于断电状态，否则可能导致相应电路的损坏。

开发板的首次安装应遵循如下步骤进行：

- a) 首先确保是在 3.1 章节的安全要求下进行安装；
- b) 在安装前须确认系统板的状态是否良好（如检查插针是否弯曲损坏）；
- c) 安装前关闭机箱电源；
- d) 将系统板定位孔的铜柱和紧固螺钉装好并处于紧固状态；
- e) 连接所有必要的线缆接头和 PCI-E 等设备，确保所有线缆接头是牢靠的。

f) 在上电运行系统之前，参考文档资料和软件说明。

4. 包装、运输和贮存

产品的包装、运输、贮存应符合下列要求：

4.1 包装

- (1) 包装，产品防静电包装应按 GJB/Z 86-97 的规定进行；
- (2) 产品在包装前，应将其可动部分固定；
- (3) 每台产品应用防静电袋包好，再装入具有一定防振能力的包装纸盒内；

4.2 运输

产品一般采用公路运输，产品在运输过程中的贮存温度为 $-55^{\circ}\text{C}\sim+85^{\circ}\text{C}$ ，相对湿度不大于 95%。

4.3 贮存

包装好的产品应贮存在 $-10^{\circ}\text{C}\sim 40^{\circ}\text{C}$ 、相对湿度不大于 80%、周围空气中不会有腐蚀性、火灾及爆炸性物质的室内。