



SUNWAY 申威

# 申威 421M/221 开发板 工程设计要求

2018 年 7 月

成都申威科技有限责任公司



## 版权声明

本文档版权归成都申威科技有限责任公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

## 免责声明

本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

## 成都申威科技有限责任公司

Chengdu Sunway Technology Corporation Limited

Mail : [sales@swcpu.cn](mailto:sales@swcpu.cn)

Tel : 028-68769016

Fax : 028-68769019



## 阅读指南

《申威 421M/221 开发板工程设计要求》阐述了以 421M 芯片、221 芯片、ICH2 芯片为主体，包含 DDR3、PCIE3.0、USB3.0、以太网等功能的设计要求。

## 阅读对象

本手册适合下列人员阅读：

硬件工程师

Layout 工程师

## 文档修订

文档更新记录	文档名	SW421M/221 开发板工程设计要求
	版本号	V1.0
	创建人	
	创建日期	2018/7

## 版本更新

版本号	更新内容	更新日期
1.0	初始版本	20180704

## 技术支持

可通过邮箱或问题反馈网站向我司提交产品使用的问题，并获取技术支持。

售后服务邮箱：[sales@swcpu.cn](mailto:sales@swcpu.cn)

问题反馈网址：<http://www.swcpu.cn/>

# 目 录

<b>1 申威 SW421M/221 开发板工程设计要求</b> .....	<b>1</b>
1.1 申威 SW421M/221 开发板框图.....	1
1.2 叠层结构及特性阻抗.....	2
<b>2 开发板主要信号介绍</b> .....	<b>4</b>
2.1 时钟系统.....	4
<b>3 DDR3 接口</b> .....	<b>9</b>
3.1 特性阻抗和串扰控制.....	9
3.2 布线要求.....	10
3.3 拓扑结构.....	12
3.4 电源处理.....	12
<b>4 PCIE3.0 接口</b> .....	<b>15</b>
4.1 特性阻抗和串扰控制.....	15
4.2 布线要求.....	15
<b>5 显示部分</b> .....	<b>21</b>
5.1 主要信号列表.....	21
5.2 布线规则.....	22
<b>6 USB 接口</b> .....	<b>24</b>
6.1 主要信号列表.....	24
6.2 一般布线规则.....	24
6.3 等长要求与布线间距.....	25
6.4 USB3.0.....	26
<b>7 AC97</b> .....	<b>27</b>
7.1 主要信号列表.....	27
7.2 布线规则.....	27
<b>8 SMBus 2.0 (I2C)</b> .....	<b>29</b>
8.1 主要信号列表.....	29
8.2 设计规则.....	29
<b>9 RTC</b> .....	<b>32</b>
<b>10 以太网信号</b> .....	<b>33</b>
<b>11 电源模块布局布线要求</b> .....	<b>36</b>

11.1	LTC3716 布局线要求 .....	36
11.2	TPS51116PWP 布局线要求.....	37
11.3	电源模块布局布线小结.....	38

## 图目录

图 1.1 开发板框图 .....	1
图 1.2 叠层设计 .....	3
图 3.1DDR3 信号间距要求 .....	10
图 3.2 蛇形线 .....	12
图 3.3Vref 分压示意图 .....	13
图 3.4 模拟电源磁珠隔离 .....	14
图 3.5 模拟地与数字地分开 .....	14
图 4.1 发送和接收断时钟 .....	18
图 4.2 信号线引出示意图 .....	19
图 4.3 等长绕线示意图 .....	19
图 4.4 等长绕线尺寸 .....	20
图 4.5AC 电容布局及出线 .....	20
图 5.1VGA 模拟信号走线 .....	23
图 6.1USB 走线避免短分支 .....	25
图 6.2 禁止跨分割平面走线 .....	25
图 7.1 AC97 直连拓扑 .....	28
图 8.1SMBus 连接示意 .....	30
图 10.1GMII 发送时序 .....	33
图 10.2RGMII 接口发送时序 .....	34
图 10.3 RGMII 接口接收时序 .....	34
图 11.1LTC3716 功率检测电阻放置 .....	36

## 表目录

表 1.1.1 SW421M/221 开发板主要信号阻抗要求.....	2
表 2.1 时钟需求统计 .....	4
表 2.2 LVDS 接口标准 .....	6
表 2.3 HSCL 输出接口特性 .....	6
表 3.1 信号线间距要求 .....	9
表 4.1PCIE 信号阻抗控制.....	15
表 4.2PCIE 接口电源噪声要求.....	17
表 4.3PCIE 接口电源回路电感要求.....	17
表 4.4 建议滤波电容配置 .....	17
表 4.5PCIE 接口外部参考电阻要求.....	18
表 5.1 显示信号列表 .....	21
表 6.1USB 信号列表 .....	24
表 7.1AC97 信号列表 .....	27
表 8.1SMBUS2.0(I2C)信号列表.....	29
表 8.2SMBUS2.0(I2C)线长.....	30
表 10.1GMII 发送时序特性.....	33
表 10.2RGMII 发送时序特性 .....	33
表 10.3RGMII 接收时序特性 .....	35



# 1 申威 SW421M/221 开发板工程设计要求

## 1.1 申威 SW421M/221 开发板框图

SW421M/221 开发板架构包含 SW221 处理器、ICH2、CPLD 芯片、BCM5482S 网卡芯片、CH7033B 显示芯片、CH7034B 显示芯片、CM6533 音频等，框图如下所示：

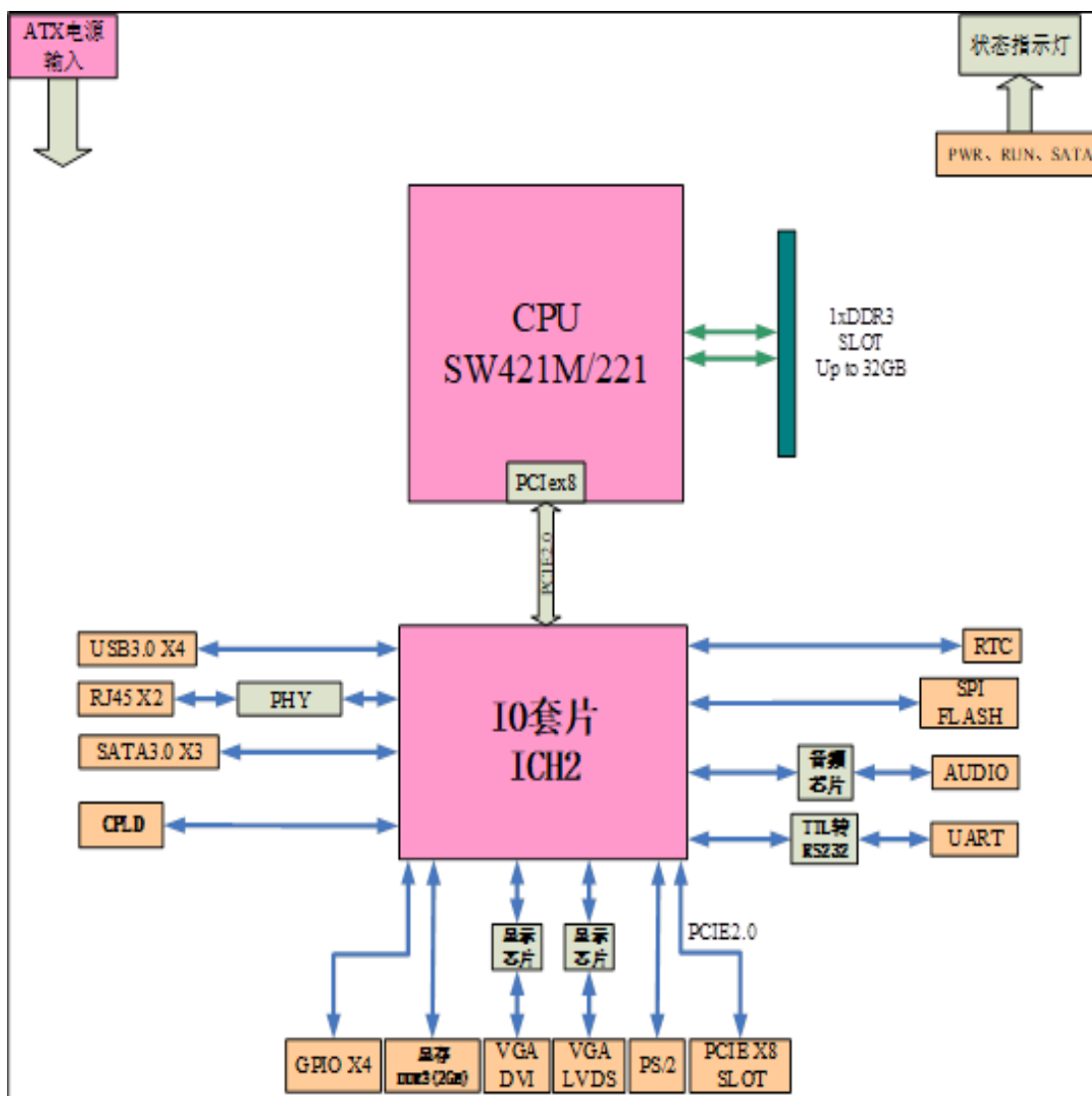


图 0.1 开发板框图

## 1.2 叠层结构及特性阻抗

SW421M/221 开发板主要信号包括 DDR3 信号、PCIE 信号、i2c 信号和维护串口等，其特性阻抗要求

如表 1.1 所示：

表 0.1.1 SW421M/221 开发板主要信号阻抗要求

信号类型		单端信号阻抗 ( 欧姆 )	差分信号阻抗 ( 欧姆 )	范围	速率
DDR3 信号	时钟信号	40	80	+/- 10%	800MHz
	地址、控制、 命令信号	40		+/- 10%	800Mbps
	数据	50	100	+/- 10%	1600Mbps
PCIE 信号	数据	50	100	+/- 10%	8Gbps
SATA	数据	50	100	+/- 10%	5Gbps
USB3.0	数据	45	90	+/- 10%	5Gbps
以太网		50	100	+/- 10%	1Gbps

其他信号		50	100	+/- 10%	
------	--	----	-----	------------	--

根据 EDA 设计组的评估结果 ,开发板采用 14 层设计 ,板厚 :2.0mm ,叠层设计要求如图 1.2 所示 :

L1			
P2 (GND)		PP	
L3		core	
P4 (VCC)		pp	
L5		core	
P6 (GND)		pp	
L7 (VCC)		core	
L8 (VCC)		pp	
P9 (GND)		core	
L10		pp	
P11 (VCC)		core	
L12		pp	
P13 (GND)		core	
L14		pp	
		理论板厚:	1.914 mm
		完成板厚:	2.0 +/-0.16 mm

图 0.2 叠层设计

## 2 开发板主要信号介绍

### 2.1 时钟系统

时钟需求如下表：

表 2.1 时钟需求统计

时钟频率	差分	需求	备注
200M Hz	是	CPU 核心差分参考时钟	晶振提供
100M Hz	是	1.CPU PCI-E 参考时钟	
		2.CPU PCI-E SLOT 插槽参考时钟	
		3.ICH PLL 参考时钟	
		4.ICH PCI-E 上游参考时钟	
		5.ICH PCI-E 参考时钟	
		6.ICH PCI-E SLOT 插槽参考时钟	
		7.ICH USB3.0 参考时钟	
		8.ICH SATA 参考时钟	
33MHz	否	ICH LPC	

27MHz	否	ICH2 DC0/ DC1 参考时钟 时钟芯片 CDCE925	
125M Hz	否	ICH2 GMAC	
25MHz	否	MT_CLK, CPLD 维护参考 时钟 网络 PHY	
25MHz	否	9FGV0441	无源晶 振
27MHz	否	CDCE925PW	无源晶 振

### 2.1.1 CPU 差分时钟

LVDS 电平的差分参考时钟输入，典型工作频率为 200MHz，为 1.8V LVDS 电平信号。

表 2.2 LVDS 接口标准

Parameter	symbol	min	typ	max	units	conditions
Input Frequency	$F_{REFCLK}$	10		800	MHz	
Input Differential Voltage		200		1200	mVppd	
Input Differential Resistance		75	100	125	Ohms	Untrimmed
Input Common Mode Voltage			0.9V			Connected to AVDI
Coupling						External AC Coupled only

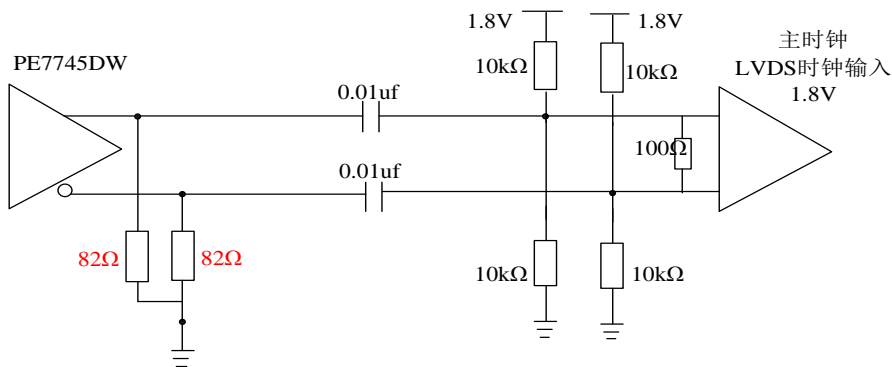


图 2-1 LVDS 信号外部端接点对点互连方式

差分传输线阻抗要求 100 欧姆，紧耦合，与其他信号间距  $> 3h$ ，端接电阻  $Z_T = 100$  欧姆。

### 2.1.2 100MHz 时钟

100MHz 差分时钟由 9FGV0441 和 9DB633AGIL 提供，输出接口类型 HCSL

表 2.3 HCSL 输出接口特性

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	NOTES
Slew rate	$T_{rf}$	Scope averaging on fast setting	1.6	2.3	3.5	V/ns	1,2,3
		Scope averaging on slow setting	1.3	1.9	2.9	V/ns	1,2,3
Slew rate matching	$\Delta T_{rf}$	Slew rate matching, Scope averaging on		7	20	%	1,2,4
Voltage High	$V_{HIGH}$	Statistical measurement on single-ended signal using oscilloscope math function. (Scope averaging on)	660	784	850	mV	7
Voltage Low	$V_{LOW}$		-150	-33	150		7
Max Voltage	$V_{max}$	Measurement on single ended signal using absolute value. (Scope averaging off)		816	1150	mV	7
Min Voltage	$V_{min}$		-300	-42			7
Vswing	$V_{swing}$	Scope averaging off	300	1634		mV	1,2,7
Crossing Voltage (abs)	$V_{cross\_abs}$	Scope averaging off	250	427	550	mV	1,5,7
Crossing Voltage (var)	$\Delta V_{cross}$	Scope averaging off		12	140	mV	1,6,7

输入接口为 LVDS 信号，根据 LVDS 接口标准，输入信号摆幅要求  $> 200mV$ ，输入信号共模电压范围从 0-2V。因此，HCSL 输出时钟可以直连 LVDS 时钟输入。

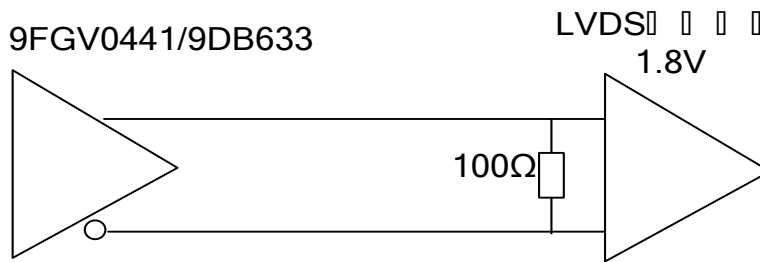


图 2.2 100Mhz 时钟互连拓扑

### 2.1.3 晶体

外接晶体时，采用的外部负载电容  $C_e$ ，由晶体的容性负载  $C_L$ ，印制板传输线的等效电容  $C_s$  和芯片引脚等效输入电容  $C_i$  共同决定：

$$C_e = 2 * C_L - (C_s + C_i)$$

以 9FGV0441 的 25Mhz 晶振为例： $C_L = 20\text{pf}$ ， $C_s = 1.2\text{pf/cm}$ ， $C_i = 5\text{pF}$ ，线长 5cm， $C_e = 29\text{pF}$ 。

其他晶体的外接电容可以参考此方法计算。

当进行晶体电路设计时，建议按照下面规则：

- 晶体的负载电容尽量靠近晶体的焊盘放置，距离晶体焊盘距离不超过 90mil。
- 晶体、负载电容以及晶体的配套电路要求在印制板同一面放置，所有布线在一面走完。
- 负载电容的盘要求在信号线上（见图 2.3）
- 信号线阻抗控制，50 欧姆。
- Xtal1 和 Xtal2 的线从晶体焊盘的靠近的角出线（见图 2.3）
- 要求 Xtal1 和 Xtal2 对称布线，并严格等长，总长度要求小于 750mil。

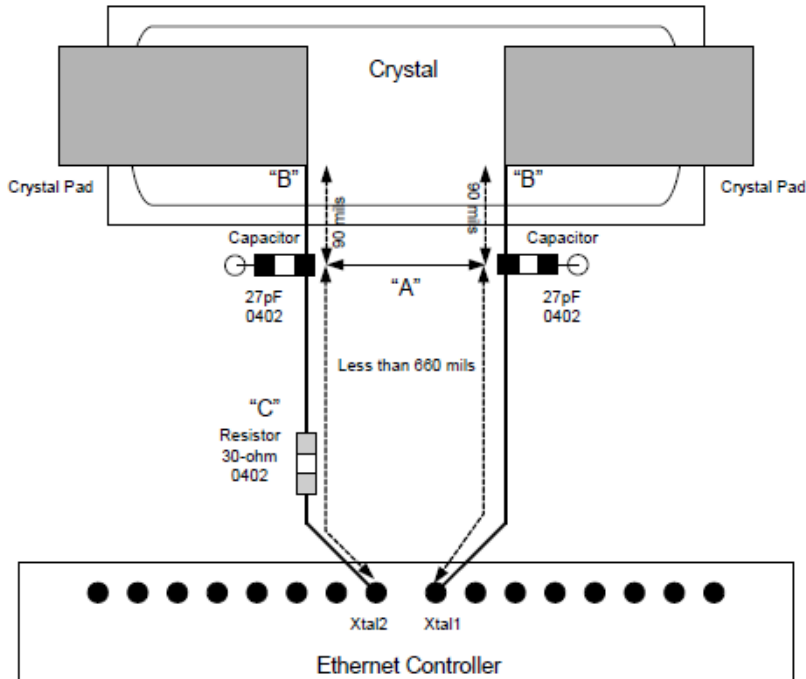


图 2.3 晶体走线示意

#### 2.1.4 布线规则

- 时钟信号单端 50 欧姆阻抗，差分 100 欧姆。
- 端接电阻尽量靠近接收端建议小于 5cm。
- 时钟信号与其他信号间距 > 6h。
- 同层布线，尽量不打孔，如需打孔，过孔附近必须有回流地孔。
- 时钟信号走类差分模式，不得跨分割平面走线，尽量以地平面为参考平面。
- 晶体晶振及信号线包地、打屏蔽地孔。
- 晶体晶振下方无其他信号线穿过



## 3 DDR3 接口

采用存储条的方式实现主存接口，DDR3 信号速率 1600Mbps。

### 3.1 特性阻抗和串扰控制

表 0.1 信号线间距要求

信号类型	阻抗要求	间距要求		建议线宽 ( mm )	
				内层	AB 面
		组内	组间		
时钟信号	80	-	>3h	0.12(0.12/0.2/0.12)	0.25(0.25/0.2/0.25)
地址控制	40	2h	>3h	0.15	0.25
命令信号	40	2h	>3h	0.15	0.25
数据信号	50	2h	>3h	0.1 ( 0.1/0.15/0.1 )	0.17 ( 0.17/0.2/0.17 )

注：1、h 为信号线到参考平面的距离；

2、表中的距离是指 air gap DQS 作为源同步信号，与同组数据信号间距要求大于 3h。

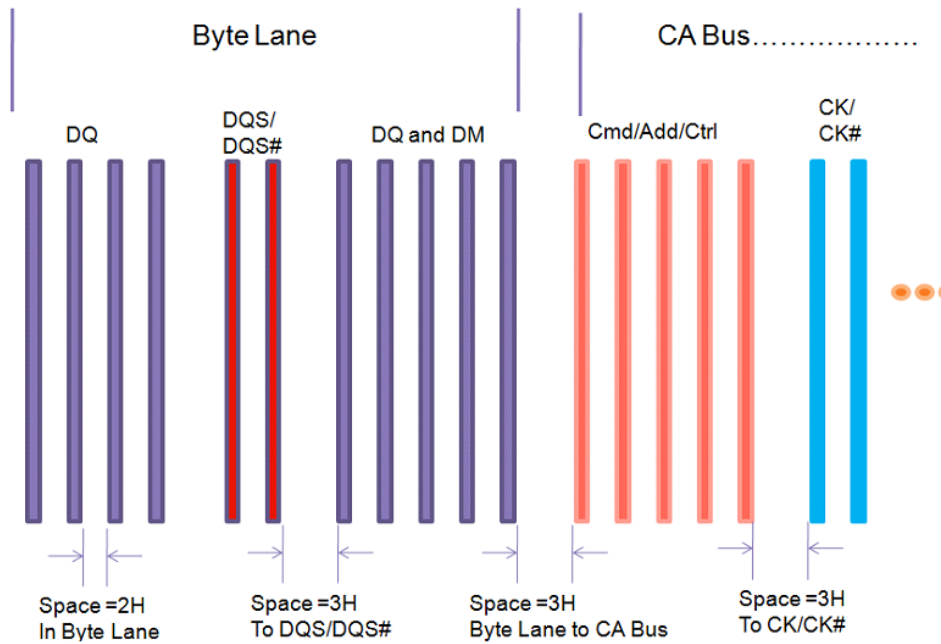


图 0.1DDR3 信号间距要求

## 3.2 布线要求

DDR3 信号线必须在完整的参考平面上走,不得跨越任何平面分割,信号不得穿越过孔的反盘区域。

所有信号尽量在同层走完,如果需要换层,同组数据(Addr\CMD\CTL\DQ/DQS),要求同时换层,

同时保持参考平面不变(如 GND 或 VDD15)

### 布线顺序:

- 1) 数据信号(含 DQS)
- 2) 时钟信号
- 3) 地址控制命令信号
- 4) 其他信号

## 等长要求

表 3.2 DDR3 信号布线要求 ( 相对延迟 )

	实际要求
DQ to DQS	+/- 0.1mm
DQS to CLK	+/- 12mm
Addr/Cmd/Ctr to CLK	+/- 3mm

数据组与时钟信号等长不做严格要求，根据标准要求， $tdqs$  在时钟边沿的正负四分之一时钟周期内，都可以接受 ( 约 50mm )，根据 synopsys 设计文档，建议小于 +/-12mm。

## 过孔和蛇形线

信号线上的过孔将会影响信号的传输延迟，因此要求数据线组中 ( Lane0-Lane7 )，每个信号 ( DQ0n-DQ7n/DQSn ) 上的过孔数量相等，同时保持参考平面不变，如果参考平面发生变化，建议增加耦合电容。

等长调整时使用到蛇形线 ( 长城线 ) 时，要求间距  $S > 3h$ ，长城线高度要尽  $L$  可能短。

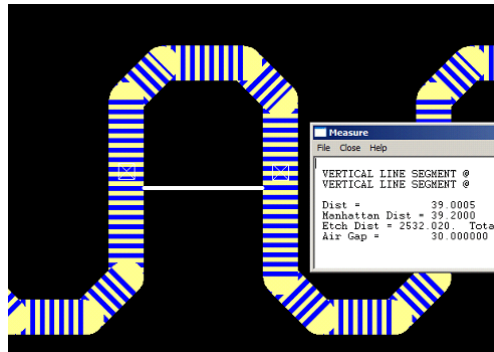


图 0.2 蛇形线

### 3.3 拓扑结构

- 此项目使用内存条，每个存控使用一根，存控信号直接连接存储条。
- 若使用内存颗粒，拓扑结构参照内存颗粒设计手册定，通常为 Fly-by 和 T 点。

### 3.4 电源处理

1.5V 去耦电容选择建议：

- 0.1uF/0.01uF 电容各 3 个，靠近芯片引脚放置，建议放置在芯片下方。
- 2.2uF 电容 6 个，靠近芯片引脚放置，放置在芯片下方。
- 10uF 电容 2 个，靠近芯片引脚放置在芯片下方。
- 47uF 电容 1 个，靠近封装放置，尽量靠近芯片引脚。
- 220uF 电容 1 个，靠近封装放置。

#### 端接电压 VTT

端接电压是为存储器地址控制命令信号提供端接电压，信号线通过端接匹配电阻与端接电压相连。通常  $V_{TT}=1/2V_{DDQ}$ 。VTT 需要提供抽拉电流，需要进行滤波，如果 VTT 产生采用线性电源产生，VTT 的滤波电容不能过大，否则可能损坏电源芯片，电容的最大值与设计相关。如果采用开关电源，可适当增加电容数量。

- 采用 10 个 0.1uF 电容，靠近插槽引脚放置。
- 采用 5 个 4.7uF 电容，靠近插槽引脚。
- 采用 2 个 47uF 电容，靠近插槽引脚。

### 参考电压 Vref

参考电压用于为地址、控制、命令、数据信号提供输入电平参考。要求 Vref 的直流电平变化跟随 VDDQ ( 1.5V ) 变化，通常采用高精度电阻分压得到。Vref 电流非常小，布线时走大于 0.2mm 的粗线即可，不必采用平面/铜皮供电，要求 Vref 布线以地平面为参考，以减小不必要的噪声干扰。采用精度为 1% 的电阻。

存储条应采用下面的电路

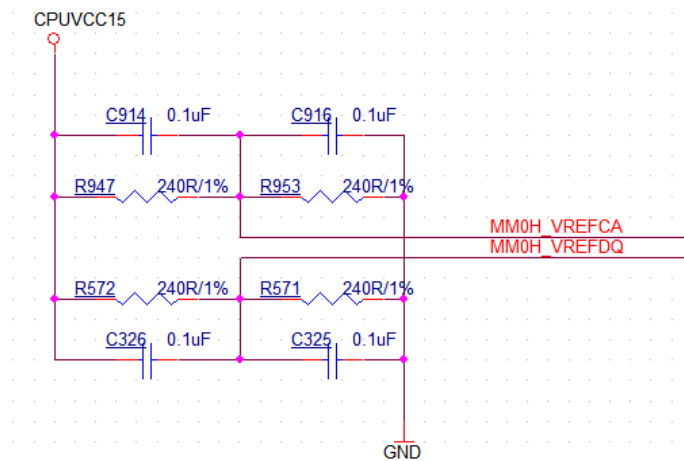


图 0.3Vref 分压示意图

对应的两个电容，一个靠近分压电路放置，一个靠近插槽放置。

### 模拟电源

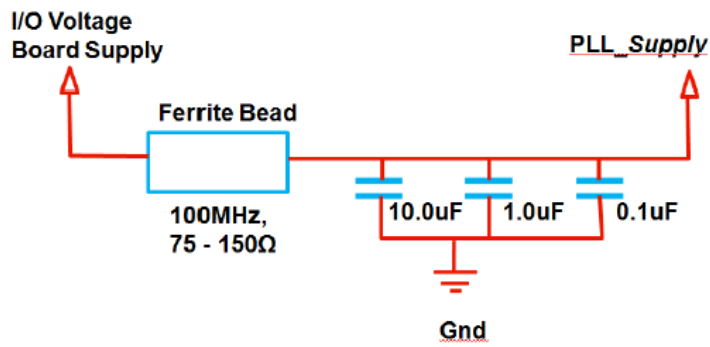


图 0.4 模拟电源磁珠隔离

DDR3 模拟电源处理如图所示。在系统功耗较大和干扰源较多的情况下可以将模拟地也通过磁珠进行处理。

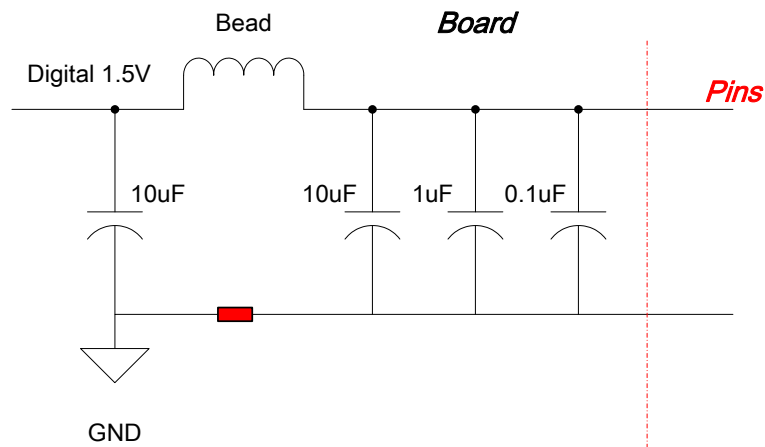


图 0.5 模拟地与数字地分开

## 4 PCIE3.0 接口

### 4.1 特性阻抗和串扰控制

综合考虑串扰、传输线损耗等因素,PCIE 信号只允许在 AB 面走线,串扰要求小于 30db@4Ghz, 阻抗及间距要求如下表所示。

表 0.1PCIE 信号阻抗控制

	单 端	差 分	线宽/线间距 ( mm )		lane 内间距 ( mm )	与其他信号间距 ( mm )
			AB 面	内层		
T X	50	85	0.17/0.1	0.1/0.1	6h	8h
R X	50	85	0.17/0.1	0.1/0.1	6h	8h

注 1 : h 为信号线到参考平面的距离 ;

2 :规范要求 8Gbps 信号阻抗 70-100 欧姆,不得出现 Tx 和 Rx 信号同层走线,如果无法避免, 间距要求>10h。

### 4.2 布线要求

#### 4.2.1 一般规则

- PCIE 差分信号对内要求严格等长。特别要求在不连续点前后,比如过孔、测试点、耦合电容前后必须分段等长,不得出现在过孔、耦合电容等前后不等长而总长等长的情况。

- 布线中需要线长补偿的，需要在线长变化点附近完成，避免在两头绕线。
- PCIE 的差分信号必须以地平面为参考。不得通过如电源地平面的分割、反盘区域等阻抗不连续点。
- PCIE 差分信号始终采用相同的参考平面。
- PCIE 差分信号允许使用过孔。尽可能减少链路的过孔数量，除了信号线引出部分和连接器部分，不得换层。过孔间距、反盘尺寸和参考地孔必须严格控制尺寸从而减小反射和串扰。由于过孔将会影响信号的抖动和损耗裕量，需要认真处理。建议整个 PCIE 发送信号通路上总的过孔数小于 4 个，接收通路上小于 2 个。
- 尽可能减少链路的过孔数量，除了信号线引出部分和连接器部分，不得换层。过孔间距、反盘尺寸和参考地孔必须严格控制尺寸从而减小反射和串扰。
- PCIE 过孔要求采用无盘工艺处理。
- 信号线通过过孔换层的，按照下图处理。从靠近 B 面的信号层进入连接器（参考，遇到其他情况请和设计者讨论确认）

#### 4.2.2 等长要求

- Lane to Lane 组内延迟差小于 100mm（按照规范计算要求 7inch）
- PCIE 信号线总长小于 20cm（根据 synopsis 的设计指导，要求信号插入损耗@4GHz<6db，预估传输线损耗约为 9db/m@4Ghz，估算封装内损耗，建议小于 20cm，如果没有过孔，信号线长度可放宽至 25cm 左右）
- 差分线对内线长差小于 0.1mm。



### 4.2.3 电源要求

表 0.2PCIE 接口电源噪声要求

Pin	Supply Voltage at PHY Bumps	AC Noise
gd	0 V	
vph	DC: 1.5-5% to 1.8+10% (V)	Peak to peak AC noise < 3% of DC level
vp/vptxX/vpdig	DC: 0.9-7% to 0.9+10% (V)	Peak to peak AC noise < 5% of DC level

- PCIE 接口的电源信号尽量以地平面为参考，以最小化 PDN 阻抗。
- 确保 SERDES 电源与板上其他噪声源（高电压、大噪声电源）隔离，减小噪声耦合。
- 建议额外增加封装去耦电容。
- Vp/vptx 电源对噪声非常敏感，板级及封装级布线时尽量减小回路电感。

表 0.3PCIE 接口电源回路电感要求

Parameter	x4	Units	Notes
Maximum package inductance per PHY	0.5	nH	Measured from each chip connect (C4) cluster as a single port to the BGAs grouped as a single port
Maximum PC Board loop inductance per PHY	1.5	nH	Recommendation is that a single BGA can be up to 3nH, two BGAs up to 1.5nH. Achieving this low Lext typically requires a pin field capacitor of 100 nF at each supply BGA to the closest return BGA

建议采用磁珠隔离 PCIE 接口电源和其他电源，推荐磁珠参数 91 欧姆@100Mhz-3A，

DCR=16mohm。

表 0.4 建议滤波电容配置

Component	Value <sup>a</sup>
Power Supply Bypass Capacitors	0.01 μF, 0.1 μF, 4.7 μF, 10.0 μF

a. Smaller-value capacitors must be placed between the ferrite bead and the package.

其中电容尽量要靠近芯片引脚及相应的参考地引脚放置

#### 4.2.4 外部参考电阻

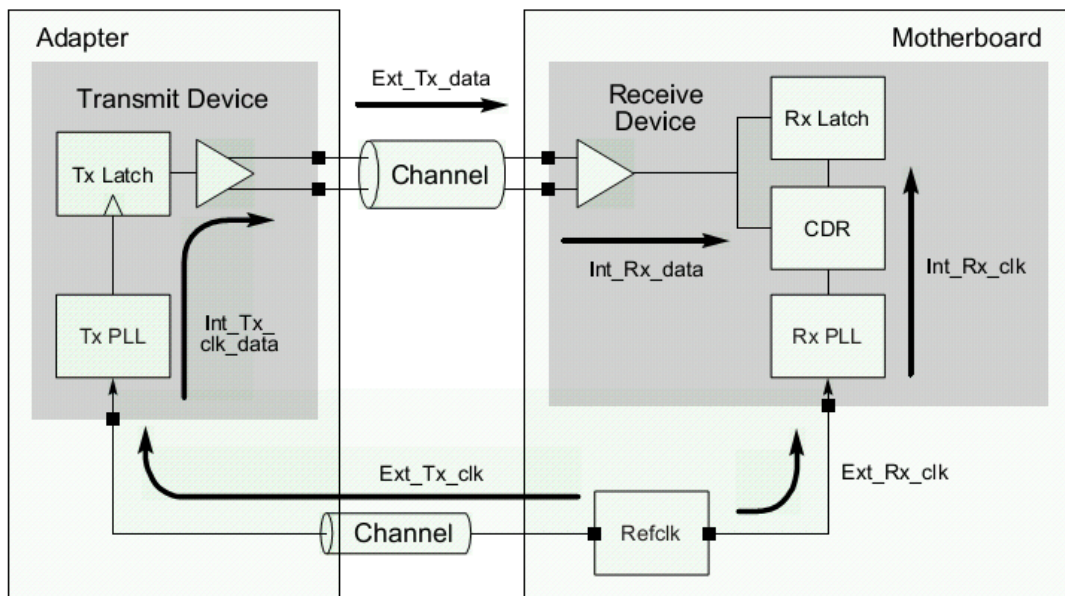
表 0.5PCIE 接口外部参考电阻要求

Item	Value	Design Guidelines
External Reference Resistor Resistance	200 $\Omega$ precision resistor (+/-1%)	None
External Reference Resistor Maximum Current	2 mA	None
External Reference Resistor parasitic capacitance	<10 pF	It is important to meet the total capacitance at low frequency (in other words, the total capacitance of pad, package trace, and PCB).
External Reference Resistor parasitic resistance through package and board		Take care to minimize the resistance of the connection through the package to the external reference resistor as this will affect the accuracy of the termination tuning. This spec is for total resistance through the package and board including resistance from the reference resistor to the board ground plane. The ground used on the board to terminate the external resistor should be as close as possible to the PMA ground voltage.

严格限制外部校准电阻布线长度，布线等效电容要求<2pF, 建议<3cm。

#### 4.2.5 参考时钟

发送和接收断的时钟要求同频且同源。



A-0569

图 0.1 发送和接收断时钟

规范要求，累计时钟延迟要求 $<12\text{ns}$ ，这个延迟包括，时钟延迟  $T_1$ ，RX 和 TX 内部延迟约为  $2\text{ns}$ ，信号线延迟  $T_{pcb}$ ，因此时钟延迟加上 Tx 信号线延迟的和要小于  $8\text{ns}$ （约为  $1.25\text{m}$ ），因此时钟根据实际布线资源正常走线不会出现超出规范要求的情况。

#### 4.2.6 走线要求

##### 引出

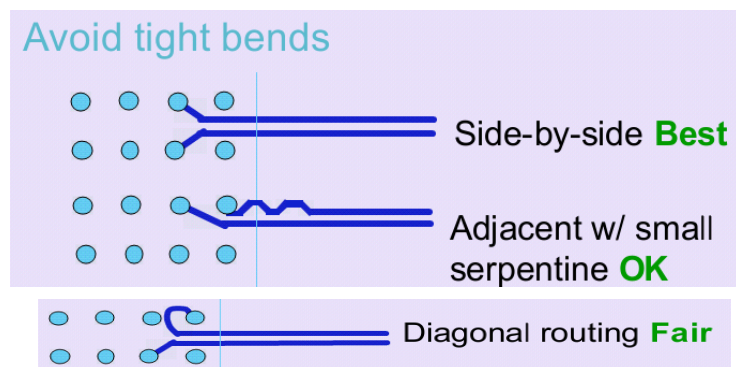


图 0.2 信号线引出示意图

##### 等长

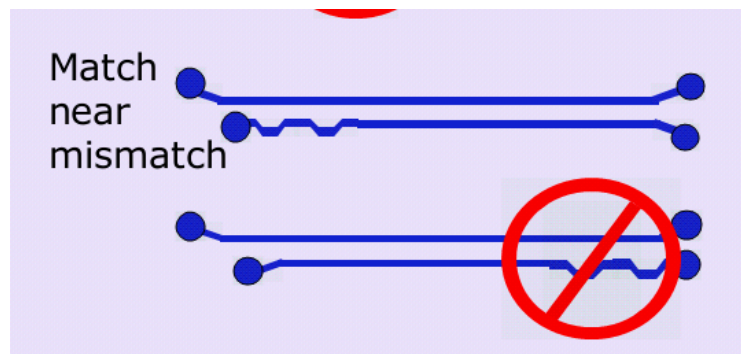


图 0.3 等长绕线示意图

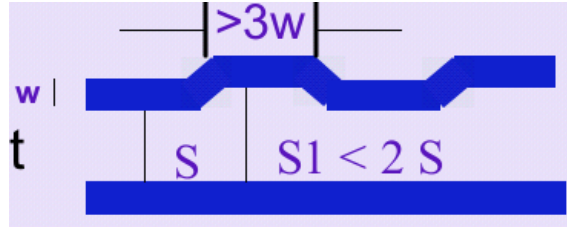


图 0.4 等长绕线尺寸

### AC 耦合电容

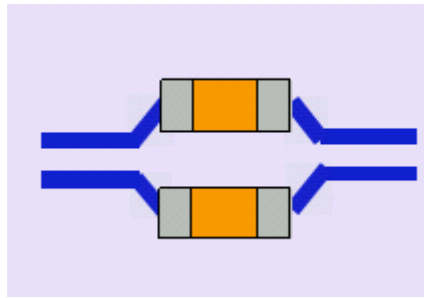


图 0.5AC 电容布局及出线

## 5 显示部分

### 5.1 主要信号列表

表 5.1 显示信号列表

信号组	信号名	描述
时钟	DC2RGB_displa y_Clk	显示通道时钟
数据	displayRed[7:0]	显示通道 0 像素红色 分量
	displayGreen[7: 0]	显示通道 0 像素绿色 分量
	displayBlue[7:0]	显示通道 0 像素蓝色 分量
	RED, BLUE, GREEN CRT_IRTN	CRT analog video output
	HSYNC, VSYNC	Synchronization

## 5.2 布线规则

**像素数字信号** ( displayRed[7:0] displayGreen[7:0] displayBlue[7:0] )

- 并行数字信号，速率 180Mbps ( max )
- 三组信号等长布线，以显示通道时钟为中心，等长要求 $\pm 5$ mm。
- 由于速率较高，建议在源端采用串联电阻进行匹配，阻值 22 欧姆。
- 阻抗控制 50 欧姆。
- 组内信号间距 3H 以上。
- 与时钟信号间距 5H 以上。
- 与其他信号间距 7H 以上。

**模拟信号** ( RED, BLUE, GREEN , CRT\_IRTN )

- RGB 信号在到达 150 欧姆端接阻抗前，进行 37 欧姆目标阻抗控制 ( 线宽 0.3mm ， AB 面布线 )，通过端接电阻后改为 50 欧姆阻抗控制。
- RGB 信号必须以地平面为参考。
- 特别注意的是第一个 150 欧姆电阻要尽量靠近 DAC 芯片，第二个 150 欧姆电阻要靠近视频滤波器放置。
- 从视频滤波器到 VGA 连接器的距离应小于 0.8inches。
- RGB 三个信号间要求等长，等长差小于 10mm。
- 总线长小于 10cm。
- 与其他信号间距 10H 以上。

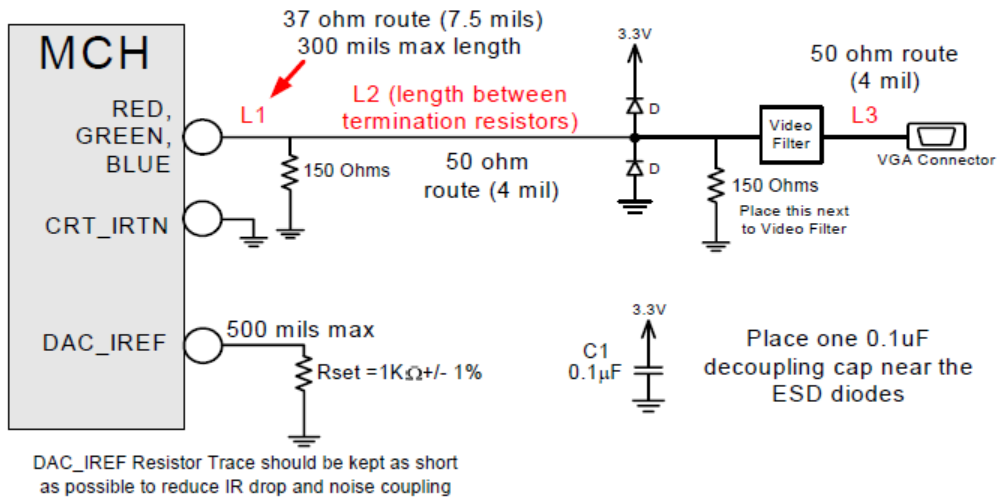


图 5.1VGA 模拟信号走线

## 6 USB 接口

### 6.1 主要信号列表

表 6.1USB 信号列表

信号组	信号名	描述
时钟	CK/CK_ N	主时钟信号
数据	DP/DM[ 2:0]	发送信号

### 6.2 一般布线规则

- 布线和布局要求用于保证信号传输质量和防止 EMI 问题。
- 时钟线和高速 USB 线布线尽可能短，与其它信号间距尽可能远，尽量远离出板的信号和连接器（如：IO 连接器、跳线器、电源连接器等）
- 尽量减少 USB 信号线的过孔数量和拐角，走线拐角采用 45°线。
- USB 信号线禁止在晶体、晶振、时钟综合器、磁体下通过。
- 避免在走线过程中出现短分支。



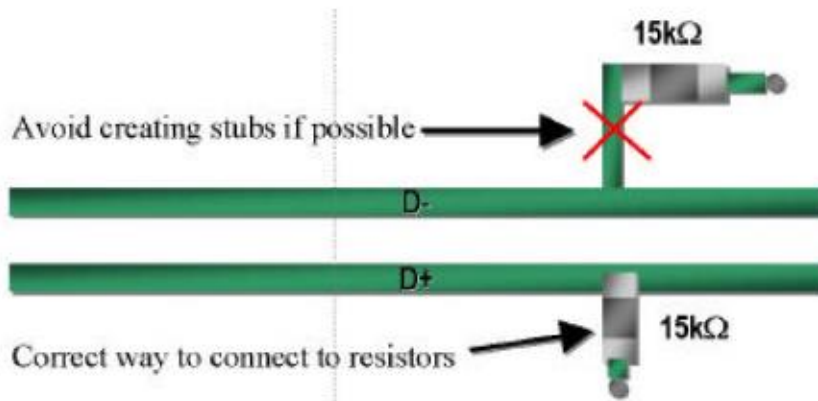


图 6.1 USB 走线避免短分支

- USB 信号必须以连续的电源/地平面为参考平面，禁止跨分割平面走线。

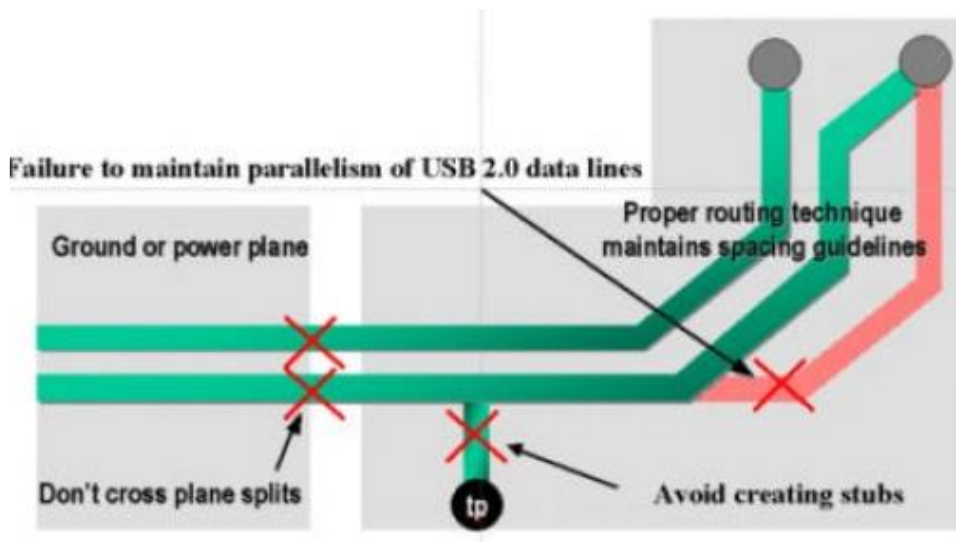


图 6.2 禁止跨分割平面走线

- USB 信号避免以核心电压的平面作为参考。
- USB 信号采用保证 20H 原则，远离印制板边缘和高电流（如 CPU 核心电压）电源平面边缘。

## 6.3 等长要求与布线间距

- USB 差分信号采用 90 欧姆阻抗控制。

- 避免或尽量减小 USB 差分信号与时钟信号以及其他周期性信号并行距离。建议与时钟信号的间距大于 10h。
- USB 差分信号间的间距大于 5h。
- USB 差分线对内等长要  $\pm 1\text{mm}$ 。
- USB 信号线长要求，板上线长：后面板  $< 18\text{inches}$ ，前面板  $< 15\text{inches}$ 。

## 6.4 USB3.0

USB3.0 信号传输速率 5Gbps。

- 差分线特性阻抗控制 90 欧姆  $\pm 8\%$ 。
- 差分对内延迟差  $< 15\text{ps/m}$  约  $0.38\text{ps/inch}$ ，USB 差分线对内等长要求  $\pm 0.1\text{mm}$ 。
- 避免或尽量减小 USB 差分信号与时钟信号以及其他周期性信号并行距离。建议与时钟信号的间距大于 10h。
- USB 差分信号间的间距大于 5h。
- 信号线从尽量靠近 B 面的信号层进入连接器（插装）
- 信号线线长要求，布线尽量短，建议小于 25cm。
- $\sim 0.25$  to  $0.35$  dB inherent loss per inch for FR4 , 0.25 dB loss per via.

# 7 AC97

## 7.1 主要信号列表

表 7.1AC97 信号列表

信号组	信号名	描述
时钟	GIN_ac97_bit_clk	Bit 时钟
数据	GIN_ac97_sdata	串行数据信号
	GOUT_ac97_sync	同步信号
	GOUT_ac97_sdata	串行数据信号
	GOUT_ac97_reset	复位信号

## 7.2 布线规则

- 直连拓扑如图 7.1 所示

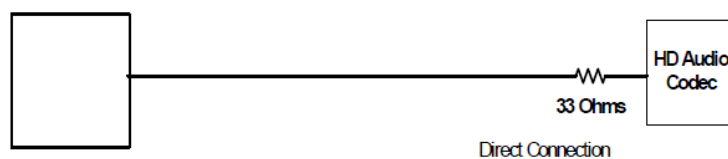


图 7.1 AC97 直连拓扑

- 阻抗控制 50 欧姆。
- 总线长要求小于 16 inches。
- 信号走线满足 3H 原则。

## 8 SMBus 2.0 (I2C)

### 8.1 主要信号列表

表格 8.1 SMBUS2.0(I2C)信号列表

信号组	信号名	描述
时钟	SMBCLK	Bit 时钟
	SML[1:0]CLK	
数据	SMBDATA	数据信号
	SML[1:0]DATA	
	SMBALERT#	ALERT
	SML[1:0]ALERT#	ALERT

### 8.2 设计规则

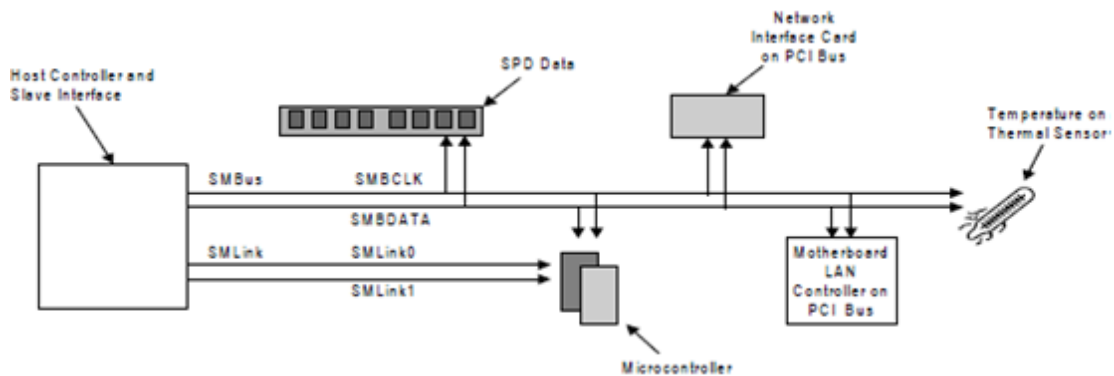


图 8.1SMBus 连接示意

- SMBus 设计中需要特别注意总线驱动的负载电容，特别是与插槽连接时，可能引入很大的负载电容。
- 上拉电阻的阻值和数据与时钟信号的负载大小有关，通常，SMBus 设备的漏电流是一个限制条件。上拉电阻不能太大，使得总线的时间常数 ( $R_{pull-up} \times C$ ) 超出 SMBus 的上升和下降时间的规范。
- SMBus 允许的最大负载电容为 400pF。
- 如果 SMBus 与 PCIE 槽相连，那么必须与所有的 PCIE 插槽相连。
- SMBus 线长没有特别要求，只要求能满足负载电容的限制。
- SMBus 走线拓扑建议采用菊花链形式，如果线长过长（超过最大负载电容限制），可以采用其他拓扑形式。

表 8.2SMBUS2.0(I2C)线长

<b>Device</b>	<b>No. of Devices/ Trace Length</b>	<b>Capacitance Includes</b>	<b>Cap (pF)</b>
ICH	1	Pin Capacitance	3
CK505	1	Pin Capacitance	6

DIMMs	2	Pin Capacitance (10 pF) + 1" worth of trace capacitance (2 pF/inch) per DIMM and 2 pF connector capacitance per DIMM	28
	3		42
PCI Slots	2	Each PCI add-in card is allowed up to 40 pF + 3 pF per each connector	86
	3		129
	4		172
SMBus	=24	3.3 pF per inch of trace length	79.2
Trace	=36		118.8
Length in inches	=48		158.4

## 9 RTC

- 由于 RTC 电路非常敏感，需要极高精度的振荡器，在布局和布线的时候需要对 RTC 电路特别关注。
- RTC 信号线长尽量短，以减小传输线的分布电容。
- 建议线长小于 1inches (从晶体端接到 RTCXn 引脚)
- 简化 RTC 电路走线，提高传输线分布电容计算精度。传输线的分布电容与传输线结构和介电常数有关。FR4 基材，4mil 线宽大约 4pf/inch。
- 减小 RTC 信号与其他信号间的耦合，建议间距大于 5H。
- 推荐采用地平面为参考。
- 振荡器的 VCC 电源要求比较干净。可以通过磁珠滤波。



# 10 以太网信号

以太网接口大多采用 GMII 和 RGMII 与外部 PHY 芯片进行连接，PCB 工程设计时需满足这两种典型接口的时序特性，如下所示：

表 10.1GMII 发送时序特性

参数	Min	Typical	Maximum	Unit
发送时钟周期	-	8	-	ns
TX_SETUP	-	6	-	ns
TX_HOLD	-	1.7	-	ns

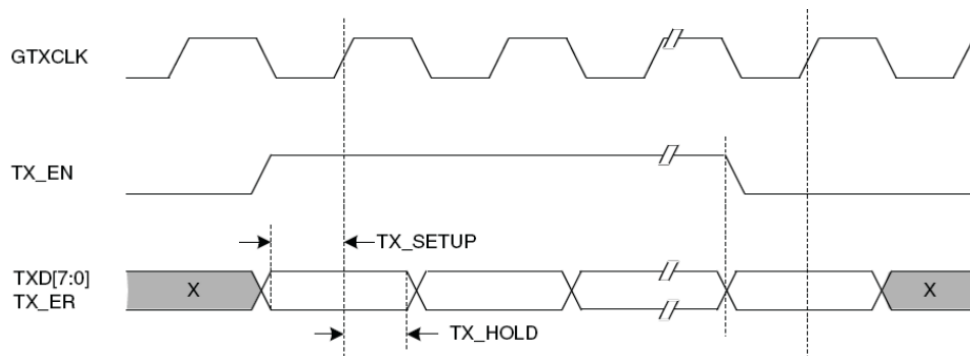


图 10.1GMII 发送时序

表 10.2RGMII 发送时序特性

参数	Min	Typical	Maximum	Unit
发送时钟周期	-	8	-	ns
TSETUPR	-	-2	-	ns

THOLDR	-	-5.4~-5.8	-	ns
--------	---	-----------	---	----

由于 GMAC 发送数据相对发送时钟 CLK\_TX 上升沿的 setup 和 hold 时间为负值，因此必须根据 PHY 芯片 CLK\_TX\_to\_phy 时钟与发送数据的时序要求在板级进行时钟相位调整。例如，若 PHY 芯片要求发送数据与发送时钟 CLK\_TX\_to\_phy 的建立时间为  $T_{setup\_phy}$ ，则需要在板级将 GMAC 输出的时钟 CLK\_TX 退后  $(2ns + T_{setup\_phy})$  的延迟。

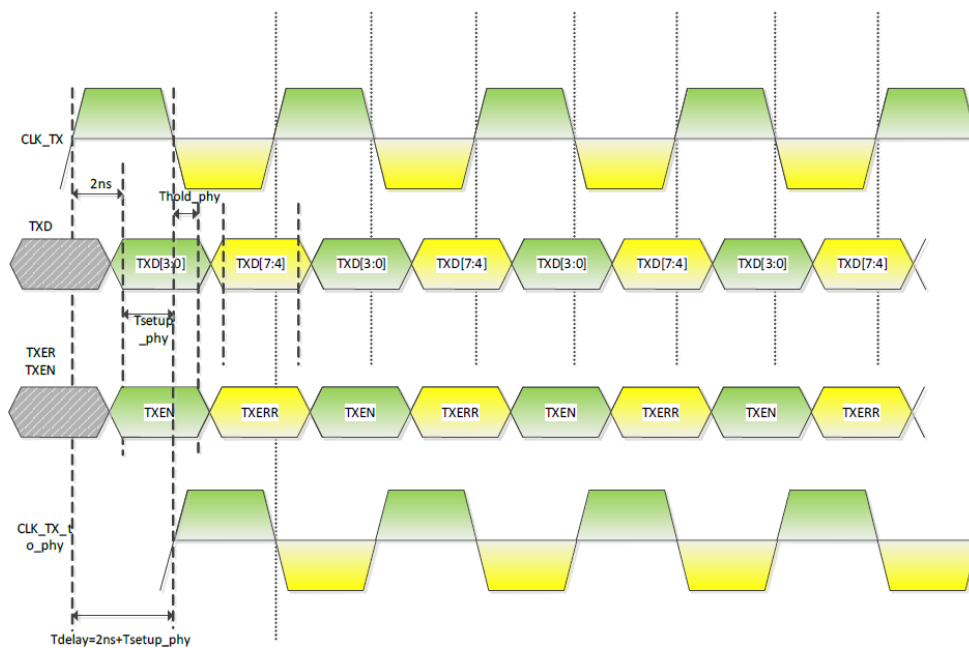


图 10.2 RGMII 接口发送时序



图 10.3 RGMII 接口接收时序

表 10.3RGMI 接收时序特性

参数	Min	Typical	Maximum	Unit
接收时钟周期	-	8	-	ns
TSETUPR	1	-	-	ns
THOLDR	1	-	-	ns

# 11 电源模块布局布线要求

## 11.1 LTC3716 布局布线要求

- 1、信号地与电源地分开；
- 2、LTC3716 VOS+和 VOS-分别连接到负载两端；
- 3、尽量使 SENSE - 和 SENSE + 管脚有最短的走线路径，二者之间的滤波电容靠近 LTC3716 放置，功率检测电阻如下放置：

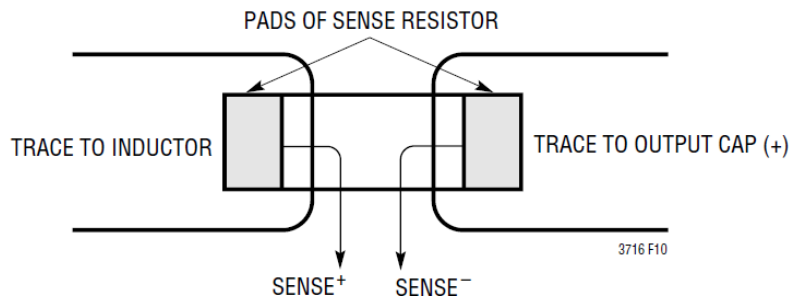
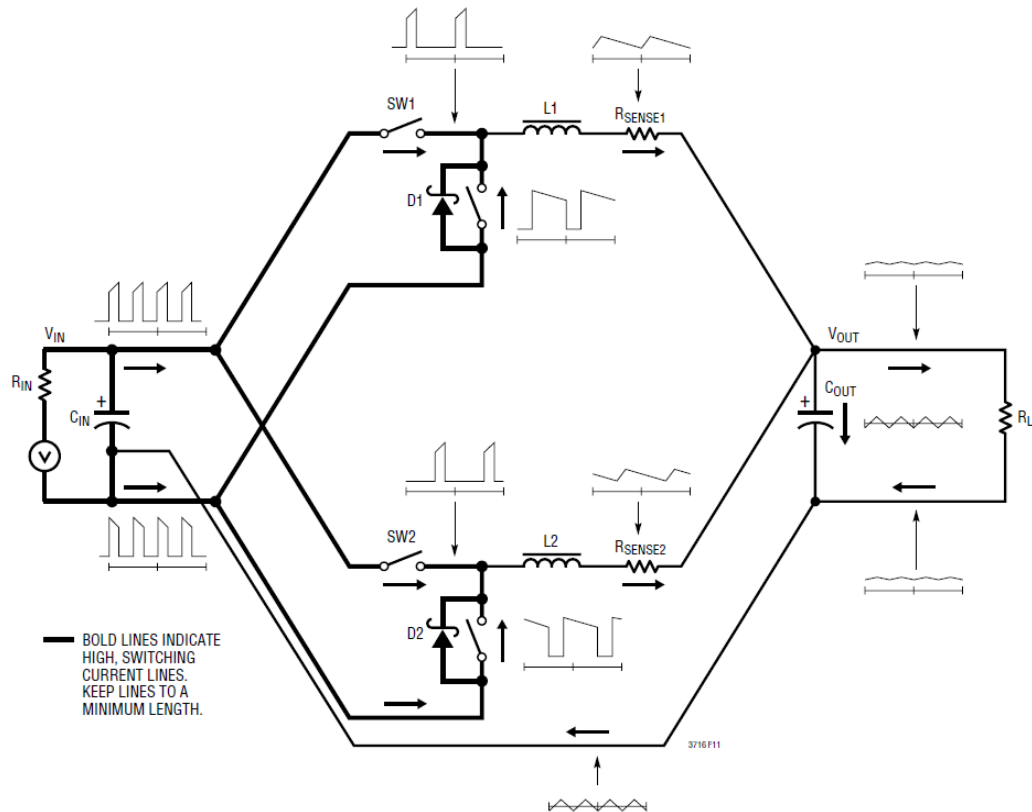


图 11.1LTC3716 功率检测电阻放置

- 4、输入电容 CIN 的正极尽量靠近上边 MOS 管，提供足够的电流供应；并使输入电流路径为：输入电容，上边 MOS 管，下边 MOS 管，布局时肖特基二极管与 MOS 管在 PCB 板同侧；
- 5、INTVCC 信号的 1uF 陶瓷去耦电容靠近 INTVCC 管脚；
- 6、转换节点、SW1 (SW2)远离高速敏感信号，放置干扰，尽量使外部的高频切换信号远离 LTC3716 芯片；
- 7、输出电容的地信号应该返回到输入电容负极，不能与任何转换电流共地。



## 11.2 TPS51116PWP 布局线要求

- 1、建议增加 RC 缓冲电路 ( 3-Ω 电阻和 1nF 电容 ), 减少 LL 端的高频电涌 ;
- 2、所有的模拟敏感信号, 如 VDDQSNS、VTTSNS 和 CS 等, 均应远离高压切换电路节点如 LL、DRVL 或 DRVH, 避免信号耦合 ;
- 3、VLDOIN 与 VDDQ 输出连接, 走线路径应短而宽。如果采用非 VDDQ 的其他电源供应, 需增加一个旁路输入电容紧靠该管脚, 且走线需保持短而宽 ;
- 4、VTT 的输出电容器应尽量靠近 VTT 管脚放置 ( 走线短而宽 ), 以避免额外的 ESR 和 ESL ;
- 5、VTT 输出电容器的负极和 VTTREF 电容器的负极应连接在一起 ;
- 6、地(信号地) 代表 VTTREF 和 VTT 输出的参考电位。将 VTT 电容器负极、VTTREF 电容器负极和 VDDQ 电容器的负极连接信号地, 可避免额外的 ESR、ESL 等 ; 信号地和电源地建议采用单点接地的方式设计 ;

- 7、由于 PGND 信号作为整流 MOSFET 门驱动返回路径。建议使用 0.65 mm (25mil)或更宽走线连接 PGND 和整流 MOSFET，走线尽可能短；
- 8、CS 引脚的走线应避免 LL、VBST、DRVH、DRVH 或 PGOOD 等信号，防止信号串扰；
- 9、为了提高散热效果，热焊盘对应的 PCB 铺铜尽量宽，可通过 0.33mm 直径的过孔连接到内部的地平面，禁止将电源地连接到热焊盘。

## 11.3 电源模块布局布线小结

总原则：输出回路降低环路电感和路径阻抗，使用铜皮增强芯片散热。输入回路滤波电容要靠近芯片引脚放置，反馈控制回路是噪声敏感信号要防止干扰，处理好模拟地和数字地。

- ◆ 输出电感、MOS 管、输出电容要求靠近控制芯片放置以减小环路电感，提高输出稳定度。
- ◆ 输出电感、MOS 管、输出电容要求采用铜皮布线，降低路径阻抗，增加散热区域。
- ◆ 芯片上的数字地 PGND 和模拟地 AGND 建议分开处理。
- ◆ 噪声敏感信号和控制信号的相关器件要靠近电源芯片放置。
- ◆ 芯片的滤波电容要求靠近芯片引脚放置。